一：VLSI制造技术

Thursday, October 17, 2019 5:37 AM

1. IC制造步骤：
   a. 晶圆准备：
      i. 将高纯硅制成单晶体硅柱，其形态为直径10cm-30cm，长1m-2m的铁灰色固态圆柱体；
      ii. 将硅柱切割成厚度为400μm-600μm的晶圆；
      iii. 对晶圆表面进行化学和机械抛光(CMP)，将其表面抛光成镜面(一般半导体制造商会直接向供货商购买成品镜面晶圆，而不直接从硅柱开始制造)；
      iv. 通过掺杂改变硅晶圆表面区域的电特性和机械特性；
         1) p型硅中以空穴作为载流子，其扩散率低，载流子输运慢，载流子具有声质特性；
         2) n型硅中以电子作为载流子，载流子具有光质特性；
         3) 掺杂浓度越大电阻率越低，但电阻率对掺杂浓度非常敏感；
         4) 重掺杂指掺杂浓度大于$\frac{10^{18}}{cm^3}$，记作"n+"或"p+"；
         5) 轻掺杂记作"n-"或"p-"；
   b. 氧化：
      i. 在极其干净的高温炉(1000℃-1200℃)中加速硅与氧气反应的到二氧化硅；
      ii. 干氧化：氧气以高浓度气体通入，产品电特性更好；
      iii. 湿氧化：氧气以蒸汽形式通入，反应速度较快；
      iv. 两种氧化方法均具有极好的绝缘电特性，产品SiO_2的介电强度为$\frac{10^7V}{cm}$，介电常数为3.9；
      v. 二氧化硅可以作为很好的掩膜以抵御杂质入侵，使杂质只能扩散到硅片上没有覆盖氧化物的特定区域中，掩膜特性是大量生产VLSI器件的必备要求；
      vi. 二氧化硅是一种很薄的透明薄膜，使晶圆表面的反射率提高，在白光照射到已经氧化的晶圆表面时会产生某种特定颜色的反射光，反射光的波长取决于氧化层的厚度，甚至可以用人眼分辨氧化膜厚度的变化；
   c. 扩散(掺杂方法一)：
      i. 扩散指杂质原子从高浓度区域通过半导体移动到低浓度区域的过程；
      ii. 扩散过程与氧化过程相似，在类似的高温炉中进行，当晶圆降到室温时，其杂质将被基本"冻结"在所处位置；
      iii. 扩散深度与扩散时间和扩散温度有关；
      iv. 常用的p型杂质是硼，常用的n型杂质是磷和砷，这两种杂质都可以有效地被二氧化硅层掩蔽；
      v. 如果在n型衬底中扩散硼(p型杂质)，就可以产生基本的pn结，如果杂质浓度相当高，扩散层可以作为导体来使用；
   d. 离子注入(掺杂方法二)：

d. 离子注入(掺杂方法二)：
   i. 离子注入是使需要的离子在离子注入器的电场作用下被加速，再高速碰撞半导体表面使其嵌入到晶体的晶格中去；
   ii. 离子穿透晶体的深度与离子束的能量有关，该能量受到电场加速器电压的控制；
   iii. 离子注入的数量可以通过改变波束电流(离子的流动)来控制，因此通过精确控制电压和电流就可以精确的掺杂；
   iv. 离子注入可以在室温下实现，当对器件的杂质分布要求比较精确的时候，一般采用离子注入；
e. 化学气相沉积：
   i. 化学气相沉积(CVD，chemical-vapor deposition)是利用硅和气体或蒸气进行化学反应并在衬底上产生固态物质的过程，CVD可以再硅衬底上沉积多种物质，如SiO_2,Si_3N_4和多晶硅等；
      1) 使用硅烷和氧气在衬底上反应可以得到固态薄膜形式的二氧化硅产品，但CVD方法得到的氧化层电特性不如热生长氧化方法得到的好，不过作为电绝缘材料还是可以的；
      2) CVD沉积氧化物的好处在于其沉积速度很快，可以在低于500℃的低温下实现；
   ii. 如果单独使用硅烷气体，则在晶圆表面会沉积一层硅，如果反应温度足够高(超过1000℃)，则沉积层是晶体层(假设衬底暴露有晶体硅)，这层物质叫做外延层，相应的沉积过程称为外延生长，不用CVD表示；
      1) 若反应温度较低或衬底表面不是单晶硅的情况下，将在表面产生多晶硅；
f. 金属化：
   i. 金属化在各个不同的元件之间实现内部连接，形成所需要的集成电路；
   ii. 金属化包括整个硅表面最初的金属沉积，内部连接是有选择地进行蚀刻后完成的；
   iii. 金属层一般是通过溅射地过程沉积下来的，其方法是将一片纯度很高的铝片(高于99.99%)放置在氩离子枪下，氩离子枪整体放置在真空箱中，晶圆放置在箱内的靶上，使氩离子轰击金属原子，使其充满真空箱(包括晶圆表面)；
   iv. 金属膜的厚度通过控制溅射时间的长短来加以控制，一般为1min-2min；
g. 光刻：
   i. 不同集成电路元件的几何表面被定义成照相版图；
   ii. 用旋转涂抹技术在晶圆表面覆盖一层感光层(也叫光致抗蚀剂或光阻)；
   iii. 放上带有图形的感光板(例如带有铬图案的石英板)，在紫外线的照射下，感光板会有选择地根据图形曝光光阻材料；
   iv. 对于正光阻材料，被曝光的部分会变软，然后利用化学显影剂将这层材料去除，掩膜图形就出现在了晶圆上；
   v. 采用深紫外线和电子束技术确定的图形物理极限是50nm，VLSI工艺中最昂贵的设备被用于提供光刻技术；
   vi. 光阻层还可以有效地作为掩膜来屏蔽化学蚀刻和离子蚀刻中带来的杂质，采用蚀刻技术可以有选择地去除相应的二氧化硅、氮化硅、多晶硅

质，采用蚀刻技术可以有选择地去除相应的二氧化硅、氮化硅、多晶硅和金属层；

vii. 蚀刻程序结束后光阻层将被去除，从而留下永久的图形，这些图形在硅芯片表面形成光掩模图像；

viii. 先进VLSI制造工艺过程中的掩膜层一般会超过20层，每一层必须很精确地放置，它的精确度要比相应掩膜图形的最小尺寸要高，使光刻设备中机械和光学之间具有十分紧密的约束关系；

h. 封装：

i. 典型芯片封装尺寸为1mm-10mm；

ii. 晶圆上的电路首先要使用自动探针进行电测试，将性能不好的电路检出；

iii. 电路之间被切割分开，好的电路(裸片)被装配在一个封装块中；

iv. 性能很好的导线被用于连接封装的管脚和裸片上的金属层；

v. 最后在真空或惰性气体中用塑料和环氧树脂把封装块封起来；

2. VLSI工艺：

提要1：

Bi-COMS指双极型CMOS制造工艺，它结合了双极性晶体管和互补金属氧化物半导体的优点，但Bi-CMOS工艺过程极其复杂，每一步实现均需要进行15-20次(整片需要150-400次)掩膜，而标准CMOS工艺只需要10-20层掩膜；

a. n阱CMOS工艺：

i. 根据所选定的衬底材料，CMOS工艺过程可以分为n阱、p阱和双阱，其中双阱工艺是最复杂也是最优和最灵活的；

ii. 许多先进的CMOS工艺还采用了沟道绝缘和绝缘层覆硅(SOI)技术，从而减小寄生电容(达到高速)，提高封装密度；

iii. 这里将显示n阱CMOS工艺的典型流程，该流程至少需要7个掩膜层，但大多数CMOS工艺还需要增加用于避免锁定的n和p保护层、用于与电容有关的第二多晶硅层以及用于内部高密度连接的多层金属层。实际上，整个掩膜层需要15-20层；

1) 掩膜#1：定义n阱(使用p型衬底，磷作为杂质，二氧化硅覆盖不需要扩散的区域)；

这一步是放置p型MOSFET必须的步骤，厚的二氧化硅层被蚀刻掉后会露出进行n阱扩散的区域，没有露出的地方能够防止n型杂质磷的进入。通常，进行深度扩散需要磷来完成，因为磷的扩散系数很大，扩散进入衬底的速度要比砷快；

2) 掩膜#2：定义有源区域(在步骤一后氧化一层二氧化硅薄膜并蚀刻，有源区沉积Si_3N_4)；

这一步是确定有源区(放置晶体管的区域)，采用本地氧化(LOCOS)。一层氮化硅(Si_3N_4)被沉积在表面，它和先前的n阱区域由对应的位置图形关系，覆盖上氮化硅的区域不会被氧化。经过一段长时间的氧化过程后，一层很厚的氧化层就会覆盖在晶体管之间，这层氧化层用于实现晶体管之间的隔离，同时保证在二氧化硅层上面形成内部连接层，避免在硅表面产生导电沟道；

3) 掩膜#3：多晶硅栅极(沉积在步骤三上二氧化硅凹陷部分，即有源

区上方)；

这一步形成多晶硅栅极，有源区的薄二氧化硅先被腐蚀掉，然后再生长一层薄的高质量栅极氧化物。接下来再确定区域沉积多晶硅层，通常情况下掺入砷(n型)。这一步必须使用光刻，优秀的解决方案中要求MOS管的沟道长度尽可能短；

在现在的$0.13\mu m - 0.18\mu m$工艺中，二氧化硅层的厚度只有20埃-50埃(1埃=10^{-8}cm)；

4) 掩膜#4：n+扩散(利用光刻胶掩膜，将砷注入到p型衬底上方有源区两边的p型衬底中)；

多晶硅栅极是自对准结构，比过去的金属栅极结构要好，掺入浓度很高的砷可形成n型MOS管的n+源区和漏区。多晶硅层对掺入的杂质还起到了阻碍作用，可以保护沟道区域。光阻材料覆盖在需要形成p型MOSFET的区域，厚氧化层阻止了杂质扩散，防止再有源区域外形成n+区；

5) 掩膜#5：p+扩散(利用光刻胶掩模，将硼注入到n阱上方有源区两边的n阱中)；

在p型MOSFET的p+硼扩散形成源区和漏区的过程中，光阻对n+ MOSFET起保护作用。两种情况下扩散形成的源区和漏区被沟道隔开，沟道长度由多晶硅掩膜单独确定，因而成为自对准结构；

6) 掩膜#6：接触孔(将突出的有源区和二氧化硅进行CVD氧化，之间形成接触孔)；

在开接触孔前，需要使用CVD方法在整个晶圆上产生一层厚的氧化层，因此需要先放置光掩模已确定接触孔的位置，然后进行干(或湿)氧化蚀刻；

7) 掩膜#7：金属化(利用金属通过接触孔将MOSFET引脚引出)；

用蒸气或溅射的方法在晶圆上形成一层薄薄的铝层，最后放置掩膜并蚀刻以形成内部连接；

8) 封装和连线之间的钝化流程没有在此描述。一般来说还应该在晶圆上覆盖一层厚CVD氧化物或玻璃，他们起保护层的作用；

b. MOSFET：

i. n沟道器件的表面电子迁移率是对应器件的空穴迁移率的2~4倍，当器件尺寸(有源区的W和L)相同时，n沟道器件可以提供更大的驱动电流(或更小的导通电阻)以及更高的跨导；

ii. MOSFET的特性通常是通过开启电压和器件尺寸来确定的，n沟道和p沟道器件的开启电压对特定工艺而言其幅度基本相同，但是跨导可以通过调整器件的几何尺寸加以改变；

1) 这个特性不适合双极型晶体管；

c. 传统电阻：

多晶电阻、n+扩散电阻，n阱电阻、p+扩散电阻；

i. n阱电阻：n阱通常用来形成中等阻值的电阻；

ii. 扩散电阻：高掺杂的n+区和p+区则用来形成低阻值的电阻；

1) 确切的电阻值可以通过改变扩散区的几何尺寸得到，电阻阻值的容

差通常很差(为20%到50%)，但是两个阻值近似的电阻匹配起来效果会比较好(5%)；

2) 所有的扩散电阻都被其反偏pn结相互隔离了，但是这些电阻都有一个很严重的缺点，即它们都伴有寄生结电容，从而严重影响了它们在高频时的应用；

3) 反偏pn结还呈现出JFET的效应，即当施加的电压发生变化时，电阻阻值也会发生变化(大电压系数是不希望出现的)。由于载流子的迁移率与温度有关，因此扩散电阻都具有一定的温度系数；

iii. 多晶电阻：更有用的电阻一般采用在厚氧化物层上覆盖多晶硅层实现，薄多晶硅层提供了比较好的表面区域匹配，因而具有更精确的电阻比值；

1) 多晶电阻和衬底时分开的，它的寄生电容和电压参数都相当小；

d. 电容:

MOS电容、多晶电容(也称MIM——金属——绝缘体——金属电容)

i. MOS栅极电容：是MOS管最基本的栅源电容，其值取决于栅极的面积。氧化层的厚度等于MOS管中的栅极氧化层的厚度，该电容表现出较大的电压依赖性；

ii. 内置材料的MOS电容：为了消除电压依赖性，可以在电容的下极板再增加一层n+杂质；

1) MOS电容都与衬底有物理接触，因此下极板都呈现出较大的pn结寄生电容；

iii. 多晶电容：接近于理想电容的特性，但是需要在CMOS工艺中包括第二次多晶硅层的流程。由于电容放置在厚场氧化层的上面，因此寄生效应很小；

iv. 结电容：一种很少使用的电容。任何反偏pn结的耗尽区如同位于p区和n区之间的电介质，电容量由几何尺寸和掺杂浓度确定，电压系数很大。这类电容通常作为调谐电路中的变容二极管，但是只能在反偏电压下工作；

1) MOS电容和结电容都可以控制在1%以内，实际使用中可以实现的电容量在0.5pF到几十pF之间。相同尺寸的匹配电容的电容量偏差在0.1%以内；

e. pn结二极管：

i. 当p型和n型扩散区域紧邻在一起时就产生了pn结二极管。在n阱中制造的二极管击穿电压非常大，是输入钳位电路用于防止静电放电的必备器件。二极管常用来检测正向压降的变化，以得出片内温度；

f. BiCMOS工艺：

i. 纵向npn晶体管：在n阱CMOS工艺流程中增加一次p型基区扩散就可以在n阱中集成纵向npn双极性晶体管。晶体管的特性取决于基区宽度和发射区面积；

1) 基区宽度由n+和基区p扩散的深度差决定，发射区的面积由发射区n+扩散形成的结面积决定；

2) n阱作为npn晶体管的集电极，其典型β值一般在50-100，截止频率高于10GHz;