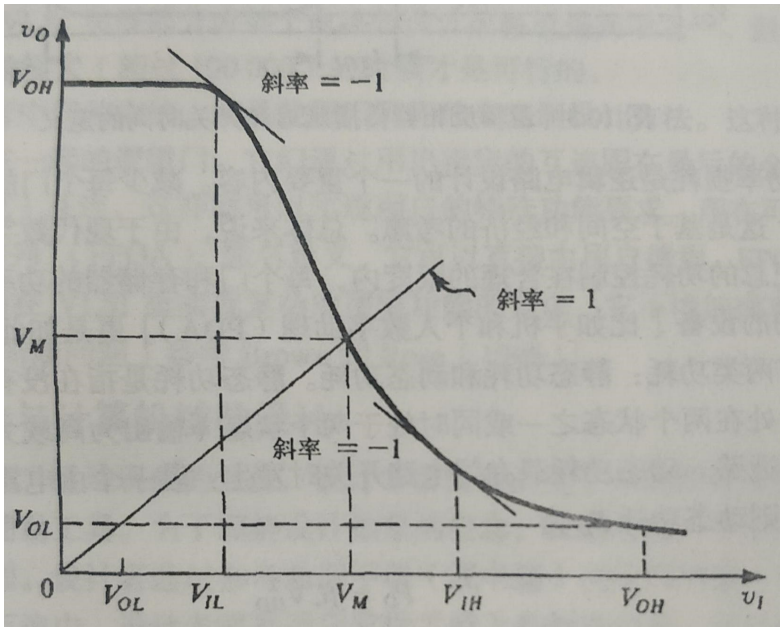
三：逻辑电路特性

Sunday, October 20, 2019 5:58 AM

逻辑反相器的典型电压传输特性曲线(VTC)



1. $\mathrm{V_{IH}}$和$\mathrm{V_{IL}}$定义为VTC图中斜率等于-1的点；
2. 门限电压V_M(或$\mathrm{V_{th}}$)：VTC图中$v_O = v_I$的点；
3. 噪声容限：体现逻辑电路抑制噪声的能力，决定其稳定性；
   $\mathrm{NM_H} = \mathrm{V_{OH}} - \mathrm{V_{IH}}$；
   $\mathrm{NM_L} = \mathrm{V_{IL}} - \mathrm{V_{OL}}$；
   a. 理想反相器的噪声容限$NM_H = NM_L = \frac{V_{DD}}{2}$，其中$\mathrm{V_{DD}}$是电源电压；
   b. 理想反相器的门限电压$V_M = \frac{V_{DD}}{2}$；
4. 传播延迟：用来描述逻辑电路的动态特性；
   从低到高的传播延迟t_{PLH}：输入电压升高到$\frac{V_{OL}+V_{OH}}{2}$到输出电压降低到$\frac{V_{OL}+V_{OH}}{2}$的时间；
   从高到低的传播延迟t_{PHL}：输入电压降低到$\frac{V_{OL}+V_{OH}}{2}$到输出电压升高到$\frac{V_{OL}+V_{OH}}{2}$的时间；
   传播延迟：$t_p = \frac{t_{PLH}+t_{PHL}}{2}$
   a. 传播延迟越短，器件的工作速度就越快；
   从低到高的输入延迟t_r：输入端由$\frac{V_{OL}+V_{OH}}{2}\times 10\%$升高到$\frac{V_{OL}+V_{OH}}{2}\times 90\%$所用的时间；
   从低到高的输入延迟t_f：输入端由$\frac{V_{OL}+V_{OH}}{2}\times 90\%$降低到$\frac{V_{OL}+V_{OH}}{2}\times 10\%$所用的时间；

从高到低的输出延迟t_{THL}：输出端由$\frac{V_{OL}+V_{OH}}{2}\times 90\%$降低到$\frac{V_{OL}+V_{OH}}{2}\times 10\%$所用的时间；

从低到高的输出延迟t_{TLH}：输出端由$\frac{V_{OL}+V_{OH}}{2}\times 10\%$升高到$\frac{V_{OL}+V_{OH}}{2}\times 90\%$所用的时间；

5. 功率损耗：
   a. 静态功耗：没有开关动作时门电路消耗的功率。因为处在两个状态之一或同时处于两个状态时，门电路存在着到电源或地的通路；
   b. 动态功耗：在门电路开关时发生。若一个由电源V_{DD}供电的反相器驱动一个负载电容C，则动态功耗P_D为：

      $$P_D = fCV_{DD}^2;$$

      其中：f是反相器开关的频率，这个公式基于低电平和高电平输出分别是0和V_{DD}的假设；
6. 延迟-功率积：因为集成电路设计的目标是高速度(低t_p)和低功耗，因此衡量集成电路性能的参数就是延迟-功率积：

   $$DP = P_d t_p$$

   其中：DP表示逻辑电路的延迟-功率积(单位是焦耳：J)，P_D是门的功率损耗。
   a. 逻辑电路系列的DP越小，则效率越高；
7. 硅片面积：设计集成电路的目标之一就是尽量减少每个门在硅片上的面积；
   a. 通过先进的加工工艺尽量减少器件尺寸，同时可以减少寄生电容并提高速度；
   b. 通过先进的电路设计技术；
   c. 通过认真的芯片布局；
8. 扇入和扇出：扇入是指一个门的输入管脚数目，扇出是指一个门在保证输出信号符合规范的条件下可以驱动的最大数目的同类门；