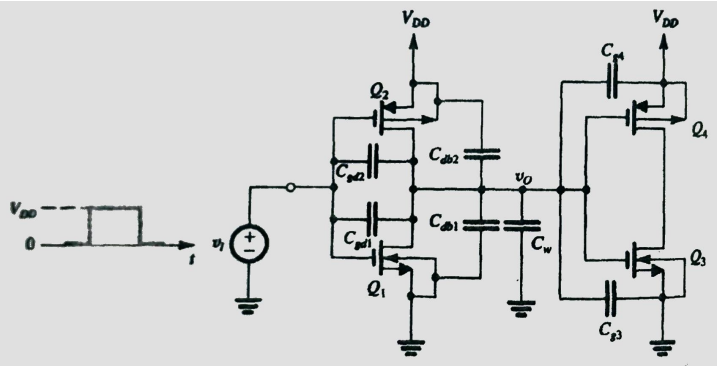
五：CMOS反相器动态工作

Monday, October 21, 2019 2:19 AM

用于分析由Q_1和Q_2组成的反相器传播延迟的电路，它驱动一个由Q_3和Q_4组成的相同反相器



反相器的延迟通常是在它驱动另一个相同反相器的条件下确定的，该电路由一个低阻抗信号源v_I驱动，负载是一个相同的反相器。为了分析简便，我们需要做如下简化：

a. 把所有连接在反相器输出节点的电容只用一个连接在输出节点和地之间的电容C表示；

1. 图中每一个电容对总的等效负载电容C的贡献：

$$C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w$$

a. Q_1的栅漏重叠电容C_{gd1}可以用输出节点和地之间的等效电容$2C_{gd1}$表示，系数2是米勒效应的结果；

i. 米勒效应对栅漏重叠电容的影响：在v_I变高和v_O变低相同数量时，电容C_{gd1}两端的电压是该变化量的两倍，因此输出节点实际看到的是两倍的C_{gd1}；

ii. 对Q_2的栅漏重叠电容C_{gd2}也一样，需要用输出和地之间的$2C_{gd2}$表示；

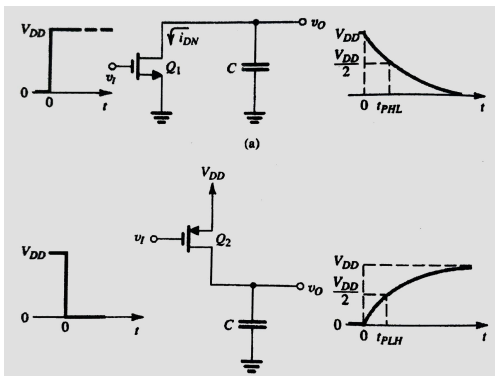
b. 每个漏-衬底电容C_{db1}和C_{db2}都有一端接的是固定电压，可以用连接在输出端和地之间的等量电容取代；

c. 由于第二个反相器不在开关状态，因此我们假设Q_3和Q_4的输入电容近似为常数，等于总的栅极电容$(WLC_{ox} + C_{gsov} + C_{gdov})$，即负载反相器的输入电容为：

$$C_{g3} + C_{g4} = (WL)_3 C_{ox} + (WL)_4 C_{ox} + C_{gsov3} + C_{gdov3} + C_{gsov4} + C_{gdov4}$$

d. 导线电容C_w；

2. 传播延迟的确定：



(b)

由于两个电路相似，因此只需要求解一个电路即可；

a. 方法一：考虑v_I变高，Q_N对C放电，电压从起始电压V_{DD}降到等于0；
   i. 初始的Q_N处于饱和模式，当v_O跌落到低于$V_{DD}-V_t$时，晶体管将工作在变阻区；
   ii. 得到的近似表达式为：
   $$t_{PHL}=\frac{1.6C}{k_n'\left(\frac{W}{L}\right)_n V_{DD}}$$
   其中，假设为典型情况$V_t \approx 0.2V_{DD}$；

b. 方法二：计算在时间间隔$t=0$到$t=t_{PHL}$之间的平均放电电流i_{DN}为基础；
   i. 在$t=0$时，Q_N饱和，给出$i_{DN}(0)$：
   $$i_{DN}(0)=\frac{1}{2}k_n'\left(\frac{W}{L}\right)_n (V_{DD}-V_t)^2$$
   ii. 在$t=t_{PHL}$时，Q_N处于变阻区，给出$i_{DN}(t_{PHL})$：
   $$i_{DN}(t_{PHL})=k_n'\left(\frac{W}{L}\right)_n\left[(V_{DD}-V_t)\cdot\frac{V_{DD}}{2}-\frac{1}{2}\left(\frac{V_{DD}}{2}\right)^2\right]$$
   iii. 平均放电电流：
   $$i_{DN}\Big|_{平均}=\frac{1}{2}[i_{DN}(0)+i_{DN}(t_{PHL})]$$
   iv. 放电间隔：
   $$t_{PHL}=\frac{C\Delta V}{i_{DN}|_{平均}}=\frac{C\cdot\frac{V_{DD}}{2}}{i_{DN}|_{平均}}$$
   v. 代入$V_t=0.2\,V_{DD}$得：
   $$t_{PHL}\approx\frac{1.7C}{k_n'\left(\frac{W}{L}\right)_n V_{DD}}$$
   vi. 类似可得：
   $$t_{PLH}\approx\frac{1.7C}{k_p'\left(\frac{W}{L}\right)_p V_{DD}}$$
   vii. 最终的传播延迟可通过$t_p=\frac{1}{2}(t_{PHL}+t_{PLH})$计算得到；
   viii. 方法二的数值非常接近方法一给出的更精确的表达式，但它们都是近似值。使用这些公式的目的不是为了得到精确的t_{PHL}值，而是为了方便可以从手工分析中得出哪些因素影响了反相器的延迟，更加精确的结果可以通过计算机仿真获得；

c. 分析上面的结论，我们可以得到一些结论：
   i. 通过选择比值$\frac{W}{L}$使k_n和k_P相等，即Q_N和Q_P匹配，可使t_p的两个分量相等；
   ii. 由于t_p正比于C，因此设计者需要尽量设法减少C；
      1) 采用沟道长度最小的器件和减少导线电容及其他寄生电容；
      2) 对芯片进行仔细地布局可以显著减少这些电容和C_{db}的数值；
      3) 使用大跨导工艺参数k'的制造技术可以得到更短的传播延迟，但是这种工艺的C_{ox}会增加，因此电容C会同时增加；
      4) 使用大比值的$\frac{W}{L}$可以减少t_p。但增加器件尺寸将增加C的值，从而得不到期望降低t_p的目的。但是当主导电容C的因数不直接和驱动管的尺寸相关的时候(如导线和扇出器件)，通过增加$\frac{W}{L}$来减少t_p是个有效地策略；