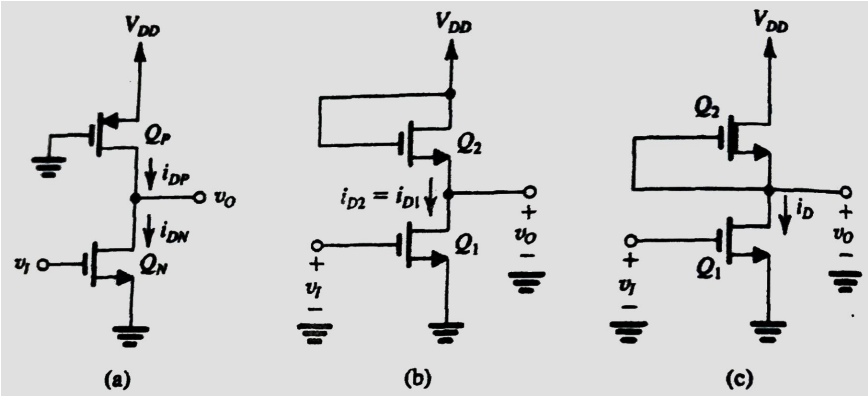
九：伪NMOS反相器的逻辑电路和静态工作

Thursday, October 24, 2019 2:32 PM

1. 电路结构：



(a).伪NMOS反相器 (b).增加型负载NMOS反相器(弃用) (c).耗尽型负载NMOS反相器(少见)

   a. 伪NMOS反相器优点：
      i. 每一个输入只需要与一个晶体管的栅极相连，每增加一个栅极输入只需增加一个晶体管，可以减弱CMOS面积和延迟的不足
   b. 缺点：
      i. 增强型负载NMOS逻辑摆幅较小，噪声容限低，静态功耗大；
      ii. 耗尽型负载NMOS大的衬底效应明显；
2. 静态特性：
   a. 漏极电流：

      对于，N型晶体管的漏极电流为：

      饱和区：$v_O \geq v_I - V_t$

      $$i_{DN} = \frac{1}{2}k_n(v_I - V_t)^2$$

      变阻区：$v_O \leq v_I - V_t$

      $$i_{DN} = k_n\left[(v_I - V_t)v_0 - \frac{1}{2}v_O^2\right]$$

      对于，P型晶体管的漏极电流为：

      饱和区：$v_O \leq V_t$

      $$i_{DP} = \frac{1}{2}k_p(V_{DD} - V_t)^2$$

      $$i_{DN} = \frac{1}{2}k_p(V_{DD} - V_t)^2$$

      变阻区：$v_O \leq V_t$

      $$i_{DP} =$$

      $$\leq i_{DN} = k_p\left[(V_{DD} - V_t)(V_{DD} - v_O) - \frac{1}{2}(V_{DD} - v_O)^2\right]$$

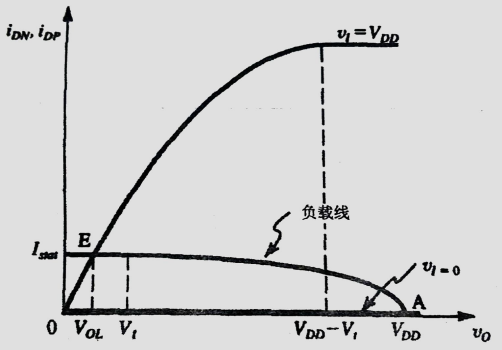
      以上过程中假设$V_{tn} = -V_{tp} = V_t$，并利用$k_n = k_n'\left(\frac{W}{L}\right)_n$和$k_p = k_p'\left(\frac{W}{L}\right)_p$进行了化简；
   b. 有比逻辑：V_{OL}由器件的跨导工艺参数比$\frac{\left(k'\left(\frac{W}{L}\right)\right)_{driver}}{\left(k'\left(\frac{W}{L}\right)\right)}$决定；

$(W/L)_{load}$

c. 无比逻辑：V_{OL}不由器件的跨导工艺参数比决定，如CMOS逻辑电路；

d. 伪NMOS反相器的VTC曲线：

为了得到伪NMOS反相器的VTC曲线，把P型晶体管的两种负载漏极电流连接成曲线并叠加在Q_N的$i_D \sim v_{DS}$特性曲线上，再根据$v_{GS} = v_t$的不同取值，建立下图(注意，图中有不同v_I取值的两条曲线，其中一条位于v_O轴稍上方)：



i. 相比$v_I = V_{DD}$时的Q_N曲线而言，负载曲线表现出的饱和电流要小得多。因为设计伪NMOS反相器时k_n通常比k_p大4~10倍，这种逻辑属于有比逻辑，其器件的跨导工艺参数比决定了VTC曲线的所有转折点，从而也就定了噪声容限。选择相对较大的r值可以减小V_{OL}，增大噪声容限；

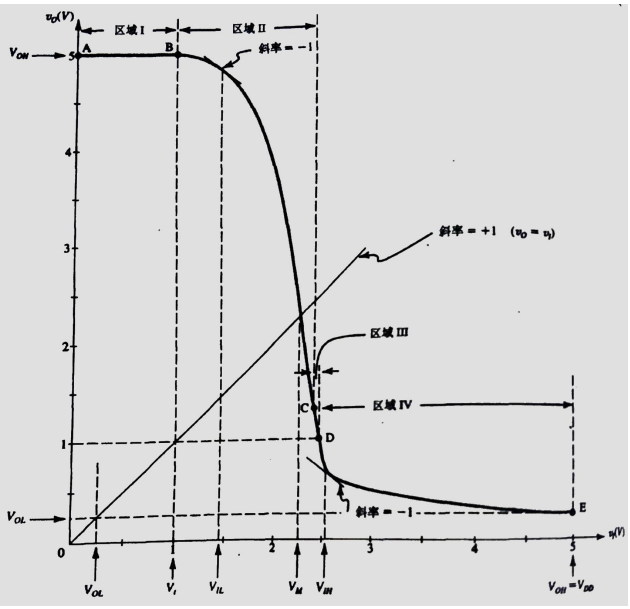
ii. Q_P的工作特性似乎接近恒流源，但事实上它仅仅在$v_O \leq V_t$的小范围内工作在饱和区。当v_O取其他值时，Q_P工作在变阻区；

iii. 当$v_I = 0$时，Q_N截至，Q_P工作在变阻区，但是其电流和漏源间电压均为零，此时的工作点如上图A电所示。并且$v_O = V_{OH} = V_{DD}$，而静态电流为零，所以静态功耗也为零；

iv. 当$v_I = V_{DD}$时，反相器工作在图中E点处。与互补CMOS不同，伪NMOS的V_{OL}不为零。

v. 在低电压输出状态门电路由电流I_{stat}流过，因而会存在静态功耗$P_D = I_{stat} \times V_{DD}$；

3. VTC的推导：



伪NMOS反相器的工作区域

区域	VTC曲线段	Q_N	Q_P	条件
I	AB			$v_I < V_t$

I	AB	截止区	变阻区	$v_I < V_t$
II	BC	饱和区	变阻区	$v_O \geq v_I - V_t$
III	CD	变阻区	变阻区	$V_t \leq v_O \leq v_I - V_t$
IV	DE	变阻区	饱和区	$V_O \leq V_t$

a. 区域I(AB段)：

$$v_O = V_{OH} = V_{DD}$$

b. 区域II(BC段)：

令N型晶体管工作在饱和区的漏极电流与P型晶体管变阻区的漏极电流相等，并将$k_n = rk_p$代入得：

$$v_O = V_t + \sqrt{(V_{DD} - V_t)^2 - r(v_I - V_t)^2}$$

两边微分，并代入$\frac{\partial v_O}{\partial v_I} = -1$和$v_I = V_{IL}$，求出$V_{IL}$：

$$V_{IL} = V_t + \frac{V_{DD} - V_t}{\sqrt{r(r+1)}}$$

根据门限电压V_M($\mathrm{V_{th}}$)等于$v_O = v_I$时v_I的值：

$$V_M = V_t + \frac{V_{DD} - V_t}{\sqrt{r+1}}$$

最后代入$v_O = v_I - V_t$，可以得到区域II的终点C。在该点上Q_N离开饱和区进入变阻区；

c. 区域III(CD段)：

这段曲线非常短，不太重要；

在D点处有$v_O = V_t$；

d. 区域IV(DE段)：

令N型晶体管的变阻区和P型晶体管的饱和区漏极电流相等，代入$k_n = rk_p$得：

$$v_O = (v_I - V_t) - \sqrt{(v_I - V_t)^2 - \frac{1}{r}(V_{DD} - V_t)^2}$$

两边微分，代入$\frac{\partial v_O}{\partial v_I} = -1$和$v_I = V_{IH}$求$V_{IH}$：

$$V_{IH} = V_t + \frac{2}{\sqrt{3r}}(V_{DD} - V_t)$$

将$v_I = V_{DD}$代入，得V_{OL}：

$$V_{OL} = (V_{DD} - V_t)\left(1 - \sqrt{1 - \frac{1}{r}}\right)$$

e. 伪NMOS反相器处于低输出状态时得静态电流：

$$I_{satat} = \frac{1}{2}k_p(V_{DD} - V_t)^2$$

f. 伪NMOS反相器的噪声容限：

$$\begin{cases} NM_L = V_t - (V_{DD} - V_t)\left[1 - \sqrt{1 - \frac{1}{r}} - \frac{1}{\sqrt{r(r+1)}}\right] \\ NM_H = (V_{DD} - V_t)\left(1 - \frac{2}{\sqrt{3r}}\right) \end{cases}$$

由于V_{DD}和V_t由制造工艺决定，因此比值r是唯一可以用来调控V_{OL}值和噪声容限的设计参数；