一：VLSI制造技术

Thursday, October 17, 2019 5:37 AM

1. IC制造步骤：
   a. 晶圆准备：
      i. 将高纯硅制成单晶体硅柱，其形态为直径10cm-30cm，长1m-2m的铁灰色固态圆柱体；
      ii. 将硅柱切割成厚度为400μm-600μm的晶圆；
      iii. 对晶圆表面进行化学和机械抛光(CMP)，将其表面抛光成镜面(一般半导体制造商会直接向供货商购买成品镜面晶圆，而不直接从硅柱开始制造)；
      iv. 通过掺杂改变硅晶圆表面区域的电特性和机械特性；
         1) p型硅中以空穴作为载流子，其扩散率低，载流子输运慢，载流子具有声质特性；
         2) n型硅中以电子作为载流子，载流子具有光质特性；
         3) 掺杂浓度越大电阻率越低，但电阻率对掺杂浓度非常敏感；
         4) 重掺杂指掺杂浓度大于$\frac{10^{18}}{cm^3}$，记作"n+"或"p+"；
         5) 轻掺杂记作"n-"或"p-"；
   b. 氧化：
      i. 在极其干净的高温炉(1000℃-1200℃)中加速硅与氧气反应的到二氧化硅；
      ii. 干氧化：氧气以高浓度气体通入，产品电特性更好；
      iii. 湿氧化：氧气以蒸汽形式通入，反应速度较快；
      iv. 两种氧化方法均具有极好的绝缘电特性，产品SiO_2的介电强度为$\frac{10^7V}{cm}$，介电常数为3.9；
      v. 二氧化硅可以作为很好的掩膜以抵御杂质入侵，使杂质只能扩散到硅片上没有覆盖氧化物的特定区域中，掩膜特性是大量生产VLSI器件的必备要求；
      vi. 二氧化硅是一种很薄的透明薄膜，使晶圆表面的反射率提高，在白光照射到已经氧化的晶圆表面时会产生某种特定颜色的反射光，反射光的波长取决于氧化层的厚度，甚至可以用人眼分辨氧化膜厚度的变化；
   c. 扩散(掺杂方法一)：
      i. 扩散指杂质原子从高浓度区域通过半导体移动到低浓度区域的过程；
      ii. 扩散过程与氧化过程相似，在类似的高温炉中进行，当晶圆降到室温时，其杂质将被基本"冻结"在所处位置；
      iii. 扩散深度与扩散时间和扩散温度有关；
      iv. 常用的p型杂质是硼，常用的n型杂质是磷和砷，这两种杂质都可以有效地被二氧化硅层掩蔽；
      v. 如果在n型衬底中扩散硼(p型杂质)，就可以产生基本的pn结，如果杂质浓度相当高，扩散层可以作为导体来使用；
   d. 离子注入(掺杂方法二)：

d. 离子注入(掺杂方法二)：
   i. 离子注入是使需要的离子在离子注入器的电场作用下被加速，再高速碰撞半导体表面使其嵌入到晶体的晶格中去；
   ii. 离子穿透晶体的深度与离子束的能量有关，该能量受到电场加速器电压的控制；
   iii. 离子注入的数量可以通过改变波束电流(离子的流动)来控制，因此通过精确控制电压和电流就可以精确的掺杂；
   iv. 离子注入可以在室温下实现，当对器件的杂质分布要求比较精确的时候，一般采用离子注入；
e. 化学气相沉积：
   i. 化学气相沉积(CVD，chemical-vapor deposition)是利用硅和气体或蒸气进行化学反应并在衬底上产生固态物质的过程，CVD可以再硅衬底上沉积多种物质，如SiO_2,Si_3N_4和多晶硅等；
      1) 使用硅烷和氧气在衬底上反应可以得到固态薄膜形式的二氧化硅产品，但CVD方法得到的氧化层电特性不如热生长氧化方法得到的好，不过作为电绝缘材料还是可以的；
      2) CVD沉积氧化物的好处在于其沉积速度很快，可以在低于500℃的低温下实现；
   ii. 如果单独使用硅烷气体，则在晶圆表面会沉积一层硅，如果反应温度足够高(超过1000℃)，则沉积层是晶体层(假设衬底暴露有晶体硅)，这层物质叫做外延层，相应的沉积过程称为外延生长，不用CVD表示；
      1) 若反应温度较低或衬底表面不是单晶硅的情况下，将在表面产生多晶硅；
f. 金属化：
   i. 金属化在各个不同的元件之间实现内部连接，形成所需要的集成电路；
   ii. 金属化包括整个硅表面最初的金属沉积，内部连接是有选择地进行蚀刻后完成的；
   iii. 金属层一般是通过溅射地过程沉积下来的，其方法是将一片纯度很高的铝片(高于99.99%)放置在氩离子枪下，氩离子枪整体放置在真空箱中，晶圆放置在箱内的靶上，使氩离子轰击金属原子，使其充满真空箱(包括晶圆表面)；
   iv. 金属膜的厚度通过控制溅射时间的长短来加以控制，一般为1min-2min；
g. 光刻：
   i. 不同集成电路元件的几何表面被定义成照相版图；
   ii. 用旋转涂抹技术在晶圆表面覆盖一层感光层(也叫光致抗蚀剂或光阻)；
   iii. 放上带有图形的感光板(例如带有铬图案的石英板)，在紫外线的照射下，感光板会有选择地根据图形曝光光阻材料；
   iv. 对于正光阻材料，被曝光的部分会变软，然后利用化学显影剂将这层材料去除，掩膜图形就出现在了晶圆上；
   v. 采用深紫外线和电子束技术确定的图形物理极限是50nm，VLSI工艺中最昂贵的设备被用于提供光刻技术；
   vi. 光阻层还可以有效地作为掩膜来屏蔽化学蚀刻和离子蚀刻中带来的杂质，采用蚀刻技术可以有选择地去除相应的二氧化硅、氮化硅、多晶硅

质，采用蚀刻技术可以有选择地去除相应的二氧化硅、氮化硅、多晶硅和金属层；

vii. 蚀刻程序结束后光阻层将被去除，从而留下永久的图形，这些图形在硅芯片表面形成光掩模图像；

viii. 先进VLSI制造工艺过程中的掩膜层一般会超过20层，每一层必须很精确地放置，它的精确度要比相应掩膜图形的最小尺寸要高，使光刻设备中机械和光学之间具有十分紧密的约束关系；

h. 封装：

i. 典型芯片封装尺寸为1mm-10mm；

ii. 晶圆上的电路首先要使用自动探针进行电测试，将性能不好的电路检出；

iii. 电路之间被切割分开，好的电路(裸片)被装配在一个封装块中；

iv. 性能很好的导线被用于连接封装的管脚和裸片上的金属层；

v. 最后在真空或惰性气体中用塑料和环氧树脂把封装块封起来；

2. VLSI工艺：

提要1：

Bi-COMS指双极型CMOS制造工艺，它结合了双极性晶体管和互补金属氧化物半导体的优点，但Bi-CMOS工艺过程极其复杂，每一步实现均需要进行15-20次(整片需要150-400次)掩膜，而标准CMOS工艺只需要10-20层掩膜；

a. n阱CMOS工艺：

i. 根据所选定的衬底材料，CMOS工艺过程可以分为n阱、p阱和双阱，其中双阱工艺是最复杂也是最优和最灵活的；

ii. 许多先进的CMOS工艺还采用了沟道绝缘和绝缘层覆硅(SOI)技术，从而减小寄生电容(达到高速)，提高封装密度；

iii. 这里将显示n阱CMOS工艺的典型流程，该流程至少需要7个掩膜层，但大多数CMOS工艺还需要增加用于避免锁定的n和p保护层、用于与电容有关的第二多晶硅层以及用于内部高密度连接的多层金属层。实际上，整个掩膜层需要15-20层；

1) 掩膜#1：定义n阱(使用p型衬底，磷作为杂质，二氧化硅覆盖不需要扩散的区域)；

这一步是放置p型MOSFET必须的步骤，厚的二氧化硅层被蚀刻掉后会露出进行n阱扩散的区域，没有露出的地方能够防止n型杂质磷的进入。通常，进行深度扩散需要磷来完成，因为磷的扩散系数很大，扩散进入衬底的速度要比砷快；

2) 掩膜#2：定义有源区域(在步骤一后氧化一层二氧化硅薄膜并蚀刻，有源区沉积Si_3N_4)；

这一步是确定有源区(放置晶体管的区域)，采用本地氧化(LOCOS)。一层氮化硅(Si_3N_4)被沉积在表面，它和先前的n阱区域由对应的位置图形关系，覆盖上氮化硅的区域不会被氧化。经过一段长时间的氧化过程后，一层很厚的氧化层就会覆盖在晶体管之间，这层氧化层用于实现晶体管之间的隔离，同时保证在二氧化硅层上面形成内部连接层，避免在硅表面产生导电沟道；

3) 掩膜#3：多晶硅栅极(沉积在步骤三上二氧化硅凹陷部分，即有源

区上方)；

这一步形成多晶硅栅极，有源区的薄二氧化硅先被腐蚀掉，然后再生长一层薄的高质量栅极氧化物。接下来再确定区域沉积多晶硅层，通常情况下掺入砷(n型)。这一步必须使用光刻，优秀的解决方案中要求MOS管的沟道长度尽可能短；

在现在的$0.13\mu m - 0.18\mu m$工艺中，二氧化硅层的厚度只有20埃-50埃(1埃=10^{-8}cm)；

4) 掩膜#4：n+扩散(利用光刻胶掩膜，将砷注入到p型衬底上方有源区两边的p型衬底中)；

多晶硅栅极是自对准结构，比过去的金属栅极结构要好，掺入浓度很高的砷可形成n型MOS管的n+源区和漏区。多晶硅层对掺入的杂质还起到了阻碍作用，可以保护沟道区域。光阻材料覆盖在需要形成p型MOSFET的区域，厚氧化层阻止了杂质扩散，防止再有源区域外形成n+区；

5) 掩膜#5：p+扩散(利用光刻胶掩模，将硼注入到n阱上方有源区两边的n阱中)；

在p型MOSFET的p+硼扩散形成源区和漏区的过程中，光阻对n+ MOSFET起保护作用。两种情况下扩散形成的源区和漏区被沟道隔开，沟道长度由多晶硅掩膜单独确定，因而成为自对准结构；

6) 掩膜#6：接触孔(将突出的有源区和二氧化硅进行CVD氧化，之间形成接触孔)；

在开接触孔前，需要使用CVD方法在整个晶圆上产生一层厚的氧化层，因此需要先放置光掩模已确定接触孔的位置，然后进行干(或湿)氧化蚀刻；

7) 掩膜#7：金属化(利用金属通过接触孔将MOSFET引脚引出)；

用蒸气或溅射的方法在晶圆上形成一层薄薄的铝层，最后放置掩膜并蚀刻以形成内部连接；

8) 封装和连线之间的钝化流程没有在此描述。一般来说还应该在晶圆上覆盖一层厚CVD氧化物或玻璃，他们起保护层的作用；

b. MOSFET：

i. n沟道器件的表面电子迁移率是对应器件的空穴迁移率的2~4倍，当器件尺寸(有源区的W和L)相同时，n沟道器件可以提供更大的驱动电流(或更小的导通电阻)以及更高的跨导；

ii. MOSFET的特性通常是通过开启电压和器件尺寸来确定的，n沟道和p沟道器件的开启电压对特定工艺而言其幅度基本相同，但是跨导可以通过调整器件的几何尺寸加以改变；

1) 这个特性不适合双极型晶体管；

c. 传统电阻：

多晶电阻、n+扩散电阻，n阱电阻、p+扩散电阻；

i. n阱电阻：n阱通常用来形成中等阻值的电阻；

ii. 扩散电阻：高掺杂的n+区和p+区则用来形成低阻值的电阻；

1) 确切的电阻值可以通过改变扩散区的几何尺寸得到，电阻阻值的容

差通常很差(为20%到50%)，但是两个阻值近似的电阻匹配起来效果会比较好(5%)；

2) 所有的扩散电阻都被其反偏pn结相互隔离了，但是这些电阻都有一个很严重的缺点，即它们都伴有寄生结电容，从而严重影响了它们在高频时的应用；

3) 反偏pn结还呈现出JFET的效应，即当施加的电压发生变化时，电阻阻值也会发生变化(大电压系数是不希望出现的)。由于载流子的迁移率与温度有关，因此扩散电阻都具有一定的温度系数；

iii. 多晶电阻：更有用的电阻一般采用在厚氧化物层上覆盖多晶硅层实现，薄多晶硅层提供了比较好的表面区域匹配，因而具有更精确的电阻比值；

1) 多晶电阻和衬底时分开的，它的寄生电容和电压参数都相当小；

d. 电容:

MOS电容、多晶电容(也称MIM——金属——绝缘体——金属电容)

i. MOS栅极电容：是MOS管最基本的栅源电容，其值取决于栅极的面积。氧化层的厚度等于MOS管中的栅极氧化层的厚度，该电容表现出较大的电压依赖性；

ii. 内置材料的MOS电容：为了消除电压依赖性，可以在电容的下极板再增加一层n+杂质；

1) MOS电容都与衬底有物理接触，因此下极板都呈现出较大的pn结寄生电容；

iii. 多晶电容：接近于理想电容的特性，但是需要在CMOS工艺中包括第二次多晶硅层的流程。由于电容放置在厚场氧化层的上面，因此寄生效应很小；

iv. 结电容：一种很少使用的电容。任何反偏pn结的耗尽区如同位于p区和n区之间的电介质，电容量由几何尺寸和掺杂浓度确定，电压系数很大。这类电容通常作为调谐电路中的变容二极管，但是只能在反偏电压下工作；

1) MOS电容和结电容都可以控制在1%以内，实际使用中可以实现的电容量在0.5pF到几十pF之间。相同尺寸的匹配电容的电容量偏差在0.1%以内；

e. pn结二极管：

i. 当p型和n型扩散区域紧邻在一起时就产生了pn结二极管。在n阱中制造的二极管击穿电压非常大，是输入钳位电路用于防止静电放电的必备器件。二极管常用来检测正向压降的变化，以得出片内温度；

f. BiCMOS工艺：

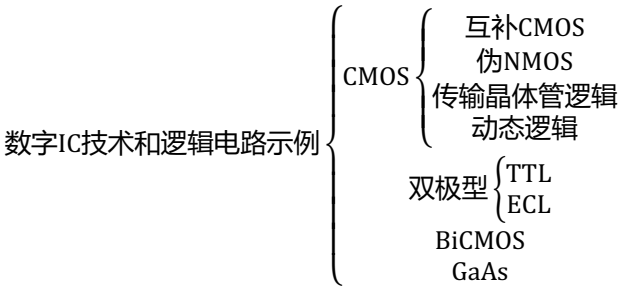
i. 纵向npn晶体管：在n阱CMOS工艺流程中增加一次p型基区扩散就可以在n阱中集成纵向npn双极性晶体管。晶体管的特性取决于基区宽度和发射区面积；

1) 基区宽度由n+和基区p扩散的深度差决定，发射区的面积由发射区n+扩散形成的结面积决定；

2) n阱作为npn晶体管的集电极，其典型β值一般在50-100，截止频率高于10GHz;

二：数字逻辑电路系列

Sunday, October 20, 2019 2:15 AM

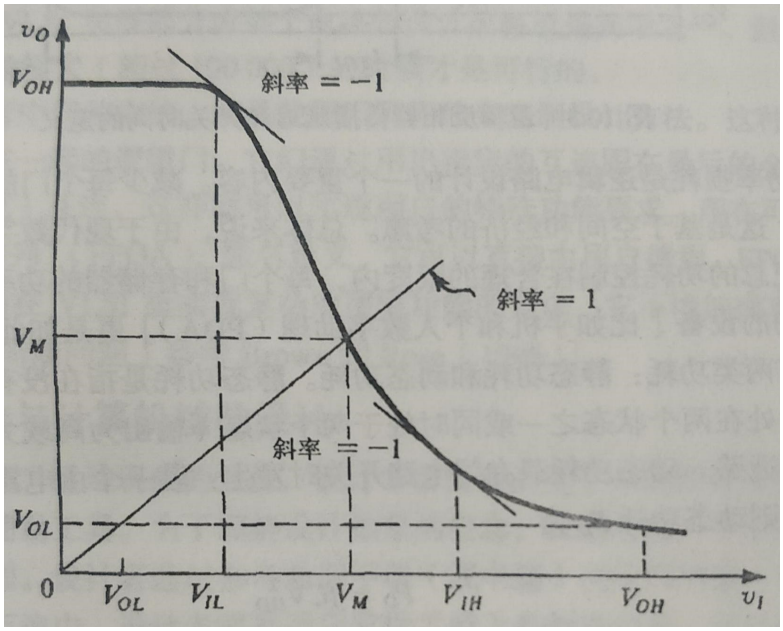


1. CMOS(金属氧化物)：数字逻辑设计中占主导地位的工艺；
   a. 功耗极低可以实现更高的集成度；
   b. MOS晶体管的高输入阻抗使得设计者能够在逻辑和存储电路里利用存储电荷的方法存放临时信息。在双极型晶体管电路中则不能使用这个技术；
   c. MOS晶体管的特征尺寸可以做的非常小；
   d. 动态逻辑可以得到更高的工作速度；
2. BJT(双极节型晶体管)：
   a. TTL(晶体管-晶体管逻辑)：高速的TTL版本通过避免BJT进入饱和并避免饱和晶体管的缓慢关闭过程来提高电路工作速度；
   b. ECL(发射极耦合逻辑)：ECL基本上是电流驱动逻辑，它不存在晶体管饱和，因此可以实现非常高的工作速度。在市场上所有逻辑电路系列中，ECL是最快的；
3. BiCMOS：组合了BJT的高速度(因为它们固有高跨导)和CMOS的低功耗等优点；
4. GaAs：其载流子迁移率非常高，具备非常高的工作速度(还没有商品化)；

三：逻辑电路特性

Sunday, October 20, 2019 5:58 AM

逻辑反相器的典型电压传输特性曲线(VTC)



1. $\mathrm{V_{IH}}$和$\mathrm{V_{IL}}$定义为VTC图中斜率等于-1的点；
2. 门限电压V_M(或$\mathrm{V_{th}}$)：VTC图中$v_O = v_I$的点；
3. 噪声容限：体现逻辑电路抑制噪声的能力，决定其稳定性；
   $\mathrm{NM_H} = \mathrm{V_{OH}} - \mathrm{V_{IH}}$；
   $\mathrm{NM_L} = \mathrm{V_{IL}} - \mathrm{V_{OL}}$；
   a. 理想反相器的噪声容限$NM_H = NM_L = \frac{V_{DD}}{2}$，其中$\mathrm{V_{DD}}$是电源电压；
   b. 理想反相器的门限电压$V_M = \frac{V_{DD}}{2}$；
4. 传播延迟：用来描述逻辑电路的动态特性；
   从低到高的传播延迟t_{PLH}：输入电压升高到$\frac{V_{OL}+V_{OH}}{2}$到输出电压降低到$\frac{V_{OL}+V_{OH}}{2}$的时间；
   从高到低的传播延迟t_{PHL}：输入电压降低到$\frac{V_{OL}+V_{OH}}{2}$到输出电压升高到$\frac{V_{OL}+V_{OH}}{2}$的时间；
   传播延迟：$t_p = \frac{t_{PLH}+t_{PHL}}{2}$
   a. 传播延迟越短，器件的工作速度就越快；
   从低到高的输入延迟t_r：输入端由$\frac{V_{OL}+V_{OH}}{2}\times 10\%$升高到$\frac{V_{OL}+V_{OH}}{2}\times 90\%$所用的时间；
   从低到高的输入延迟t_f：输入端由$\frac{V_{OL}+V_{OH}}{2}\times 90\%$降低到$\frac{V_{OL}+V_{OH}}{2}\times 10\%$所用的时间；

从高到低的输出延迟t_{THL}：输出端由$\frac{V_{OL}+V_{OH}}{2}\times 90\%$降低到$\frac{V_{OL}+V_{OH}}{2}\times 10\%$所用的时间；

从低到高的输出延迟t_{TLH}：输出端由$\frac{V_{OL}+V_{OH}}{2}\times 10\%$升高到$\frac{V_{OL}+V_{OH}}{2}\times 90\%$所用的时间；

5. 功率损耗：
   a. 静态功耗：没有开关动作时门电路消耗的功率。因为处在两个状态之一或同时处于两个状态时，门电路存在着到电源或地的通路；
   b. 动态功耗：在门电路开关时发生。若一个由电源V_{DD}供电的反相器驱动一个负载电容C，则动态功耗P_D为：

      $$P_D = fCV_{DD}^2;$$

      其中：f是反相器开关的频率，这个公式基于低电平和高电平输出分别是0和V_{DD}的假设；
6. 延迟-功率积：因为集成电路设计的目标是高速度(低t_p)和低功耗，因此衡量集成电路性能的参数就是延迟-功率积：

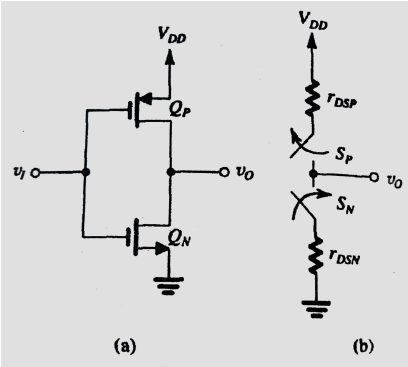
   $$DP = P_d t_p$$

   其中：DP表示逻辑电路的延迟-功率积(单位是焦耳：J)，P_D是门的功率损耗。
   a. 逻辑电路系列的DP越小，则效率越高；
7. 硅片面积：设计集成电路的目标之一就是尽量减少每个门在硅片上的面积；
   a. 通过先进的加工工艺尽量减少器件尺寸，同时可以减少寄生电容并提高速度；
   b. 通过先进的电路设计技术；
   c. 通过认真的芯片布局；
8. 扇入和扇出：扇入是指一个门的输入管脚数目，扇出是指一个门在保证输出信号符合规范的条件下可以驱动的最大数目的同类门；

四：CMOS反相器的电路结构和静态工作

Monday, October 21, 2019 1:00 AM

1. 电路结构：



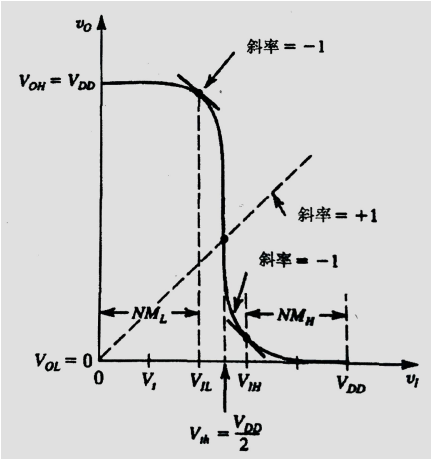
   a. 反相器由一对互补MOSFET组成，它由输入电压v_i控制状态切换；
   b. 图中没有画出，但需要注意每一个器件的源极都和衬底相连，以消除衬底效应；
   c. 通常门限电压和在幅度上是一致的，即$V_{tn} = |V_{tp}| = V_t$，范围是$0.2V$到$1V$，现代小尺寸工艺(沟道长度$0.5\mu m$到$0.1\mu m$或更小)制成的晶体管可以达到这个范围的低端；
   d. 反相器的工作原理可以用一对工作在互补情况下的开关表示，开关是用一个有限的导通电阻来模拟的，电阻值是晶体管在$|V_{DS}| = 0$附近的漏源之间的电阻；

$$r_{DSN} = \frac{1}{k_n'\left(\frac{W}{L}\right)_n (V_{DD} - V_t)}$$

$$r_{DSP} = \frac{1}{\mathrm{k_p'}\left(\frac{\mathrm{W}}{\mathrm{L}}\right)_\mathrm{p} (\mathrm{V_{DD}} - \mathrm{V_t})}$$

2. 静态工作：

   Q_N和Q_P匹配时$CMOS$反向器的电压转移特性曲线



   a. 当$v_I = 0$时，$v_O = V_{OH} = V_{DD}$，输出节点通过上拉晶体管Q_P的r_{DSP}连接到V_{DD}；
   b. 当$v_I = V_{DD}$时，$v_O = V_{OL} = 0$，输出节点通过下拉晶体管Q_N的电阻r_{DSN}连接到地；
   c. 静态时，V_{DD}和地之间没有直通的路径，静态电流和静态功耗都等于0(漏电流

c. 静态的，V_{DD}和地之间没有直通的路径，静态电流和静态功耗都等于0(漏电流一般可以忽略，尤其是对大特征尺寸器件)；

d. CMOS与其他MOS逻辑不同的特性是V_{OL}和V_{OH}与器件尺寸无关，几乎等于0和V_{DD}；

e. CMOS反相器的开关门限V_{th}(或V_M)为：

$$V_{th}=\frac{V_{DD}-|V_{tp}|+\sqrt{\frac{k_n}{k_p}}V_{tn}}{1+\sqrt{\frac{k_n}{k_p}}}$$

其中，$k_n=k_n'\left(\frac{W}{L}\right)_n$，$k_p=k_p'\left(\frac{W}{L}\right)_p$；

i. 通过恰当地改变晶体管的尺寸，CMOS反相器可以被制成在逻辑摆幅(0 V_{DD})的中点(即$\frac{V_{DD}}{2}$)进行开关动作；

ii. 对于典型的情况$V_{tn}=|V_{tp}|$，若$V_{th}=\frac{V_{DD}}{2}$，则$k_n=k_p$，即：

$$k_n'\left(\frac{W}{L}\right)_n=k_p'\left(\frac{W}{L}\right)_p$$

iii. 匹配：当器件被设计成有相同的跨导工艺参数时就可得到一个对称的传输特性曲线；

iv. 因为μ_n是μ_p的2到4倍，因此通过令$\left(\frac{W}{L}\right)_p$是$\left(\frac{W}{L}\right)_n$的2倍到4倍(即$\frac{\mu_n}{\mu_p}$倍)可以使晶体管匹配：

$$\left(\frac{W}{L}\right)_p=\frac{\mu_n}{\mu_p}\left(\frac{W}{L}\right)_n$$

v. 通常两个器件有相同的沟道长度L，它是给定工艺所允许的最小尺寸。NMOS晶体管的最小宽度W通常是沟道长度L的1.5到2倍，而NMOS晶体管的最小宽度W是沟道长度L的2到3倍；

vi. 如果反相器需要驱动相对较大的电容负载，则要求晶体管比较宽；

vii. 为了节省芯片面积，大多数反相器都具有最小尺寸。把最小尺寸反相器的NMOS晶体管的$\left(\frac{W}{L}\right)_n$记作$n$，把PMOS晶体管的$\left(\frac{W}{L}\right)_p$记作$p$；

viii. 反向器的面积：$W_nL_n+W_pL_p=(W_n+W_p)L$；

1) 最小尺寸反向器的面积：$(n+p)L^2$；

2) 面积的近似指数(面积指数)：$(n+p)$；

ix. Q_N和Q_P跨导工艺参数匹配能够保证门的门限放在逻辑摆幅的中心；

1) 当反相器的门限$V_{th}=\frac{V_{DD}}{2}$时，噪声容限NM_H和NM_L相同，并且它们的值时最大的：

$$\mathrm{NM_H}=\mathrm{NM_L}=\frac{3}{8}\left(\mathrm{V_{DD}}+\frac{2}{3}\mathrm{V_{th}}\right)$$

2) 反相器的直流输入电流实际上等于0，噪声容限不依赖于门的扇出数；

x. 匹配也能够保证反相器在两个方向(上拉和下拉)都具有相同的电流驱动能力；

xi. 匹配也能使$r_{DSN}=r_{DSP}$，因此可以使一个由匹配晶体管组成的反相器具有相同的传播延迟t_{PLH}和t_{PHL}；

xii. 如果$k_n>k_p$，则V_{th}接近于0。如果$k_n<k_p$，则V_{th}接近于V_{DD}；

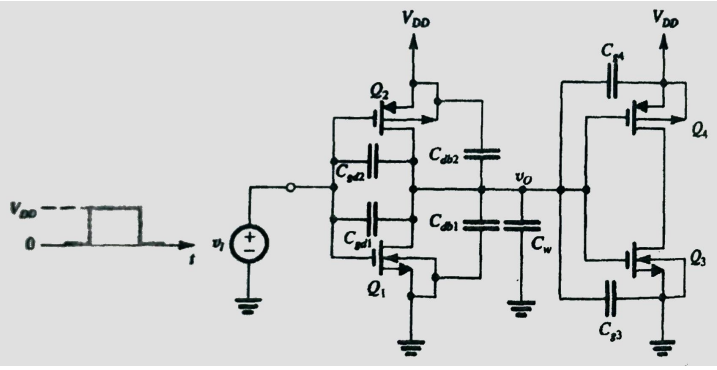
f. 转换区的斜率虽然很大，但其是个有限制，为：

$$-(g_{mN}+g_{mP})(\frac{r_{oN}\cdot r_{oP}}{r_{oN}+r_{oP}})$$

五：CMOS反相器动态工作

Monday, October 21, 2019 2:19 AM

用于分析由Q_1和Q_2组成的反相器传播延迟的电路，它驱动一个由Q_3和Q_4组成的相同反相器



反相器的延迟通常是在它驱动另一个相同反相器的条件下确定的，该电路由一个低阻抗信号源v_I驱动，负载是一个相同的反相器。为了分析简便，我们需要做如下简化：

a. 把所有连接在反相器输出节点的电容只用一个连接在输出节点和地之间的电容C表示；

1. 图中每一个电容对总的等效负载电容C的贡献：

$$C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w$$

a. Q_1的栅漏重叠电容C_{gd1}可以用输出节点和地之间的等效电容$2C_{gd1}$表示，系数2是米勒效应的结果；

i. 米勒效应对栅漏重叠电容的影响：在v_I变高和v_O变低相同数量时，电容C_{gd1}两端的电压是该变化量的两倍，因此输出节点实际看到的是两倍的C_{gd1}；

ii. 对Q_2的栅漏重叠电容C_{gd2}也一样，需要用输出和地之间的$2C_{gd2}$表示；

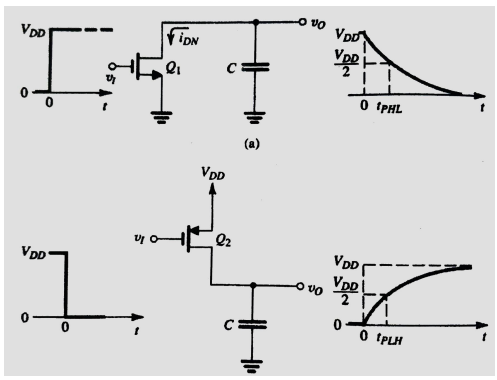
b. 每个漏-衬底电容C_{db1}和C_{db2}都有一端接的是固定电压，可以用连接在输出端和地之间的等量电容取代；

c. 由于第二个反相器不在开关状态，因此我们假设Q_3和Q_4的输入电容近似为常数，等于总的栅极电容$(WLC_{ox} + C_{gsov} + C_{gdov})$，即负载反相器的输入电容为：

$$C_{g3} + C_{g4} = (WL)_3 C_{ox} + (WL)_4 C_{ox} + C_{gsov3} + C_{gdov3} + C_{gsov4} + C_{gdov4}$$

d. 导线电容C_w；

2. 传播延迟的确定：



(b)

由于两个电路相似，因此只需要求解一个电路即可；

a. 方法一：考虑v_I变高，Q_N对C放电，电压从起始电压V_{DD}降到等于0；
   i. 初始的Q_N处于饱和模式，当v_O跌落到低于$V_{DD}-V_t$时，晶体管将工作在变阻区；
   ii. 得到的近似表达式为：
   $$t_{PHL}=\frac{1.6C}{k_n'\left(\frac{W}{L}\right)_n V_{DD}}$$
   其中，假设为典型情况$V_t \approx 0.2V_{DD}$；

b. 方法二：计算在时间间隔$t=0$到$t=t_{PHL}$之间的平均放电电流i_{DN}为基础；
   i. 在$t=0$时，Q_N饱和，给出$i_{DN}(0)$：
   $$i_{DN}(0)=\frac{1}{2}k_n'\left(\frac{W}{L}\right)_n (V_{DD}-V_t)^2$$
   ii. 在$t=t_{PHL}$时，Q_N处于变阻区，给出$i_{DN}(t_{PHL})$：
   $$i_{DN}(t_{PHL})=k_n'\left(\frac{W}{L}\right)_n\left[(V_{DD}-V_t)\cdot\frac{V_{DD}}{2}-\frac{1}{2}\left(\frac{V_{DD}}{2}\right)^2\right]$$
   iii. 平均放电电流：
   $$i_{DN}\Big|_{平均}=\frac{1}{2}[i_{DN}(0)+i_{DN}(t_{PHL})]$$
   iv. 放电间隔：
   $$t_{PHL}=\frac{C\Delta V}{i_{DN}|_{平均}}=\frac{C\cdot\frac{V_{DD}}{2}}{i_{DN}|_{平均}}$$
   v. 代入$V_t=0.2\,V_{DD}$得：
   $$t_{PHL}\approx\frac{1.7C}{k_n'\left(\frac{W}{L}\right)_n V_{DD}}$$
   vi. 类似可得：
   $$t_{PLH}\approx\frac{1.7C}{k_p'\left(\frac{W}{L}\right)_p V_{DD}}$$
   vii. 最终的传播延迟可通过$t_p=\frac{1}{2}(t_{PHL}+t_{PLH})$计算得到；
   viii. 方法二的数值非常接近方法一给出的更精确的表达式，但它们都是近似值。使用这些公式的目的不是为了得到精确的t_{PHL}值，而是为了方便可以从手工分析中得出哪些因素影响了反相器的延迟，更加精确的结果可以通过计算机仿真获得；

c. 分析上面的结论，我们可以得到一些结论：
   i. 通过选择比值$\frac{W}{L}$使k_n和k_P相等，即Q_N和Q_P匹配，可使t_p的两个分量相等；
   ii. 由于t_p正比于C，因此设计者需要尽量设法减少C；
      1) 采用沟道长度最小的器件和减少导线电容及其他寄生电容；
      2) 对芯片进行仔细地布局可以显著减少这些电容和C_{db}的数值；
      3) 使用大跨导工艺参数k'的制造技术可以得到更短的传播延迟，但是这种工艺的C_{ox}会增加，因此电容C会同时增加；
      4) 使用大比值的$\frac{W}{L}$可以减少t_p。但增加器件尺寸将增加C的值，从而得不到期望降低t_p的目的。但是当主导电容C的因数不直接和驱动管的尺寸相关的时候(如导线和扇出器件)，通过增加$\frac{W}{L}$来减少t_p是个有效地策略；

六：CMOS反相器的动态功耗

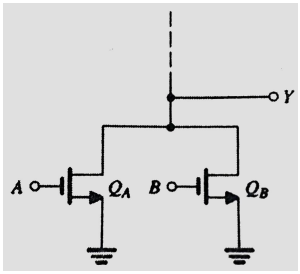
Monday, October 21, 2019 7:10 AM

1. VLSI选择CMOS作为主要工艺的原因在于其基本可忽略的静态功耗，但CMOS反相器的动态功耗之前已经给出：
   $P_D = fCV_{DD}^2$
   其中，f是门的开关速率。因此减少电容C是减少动态功耗的一个有效方法；
   更有效的策略是降低电源电压；
2. 示例：考虑$0.25\mu m$工艺制造的CMOS反相器，$C_{ox} = 6\frac{fF}{\mu m^2}$，$\mu_n C_{ox} = 115\frac{\mu A}{V^2}$，$\mu_p C_{ox} = 30\frac{\mu A}{V^2}$，$V_{tn} = -V_{tp} = 0.4\,V$，$V_{DD} = 2.5\,V$。$Q_N$的$\frac{W}{L}$比值是$\frac{0.375\mu m}{0.25\mu m}$，$Q_P$的$\frac{W}{L}$比值是$\frac{1.125\mu m}{0.25\mu m}$。栅源和栅漏重叠电容是每单位栅极宽度$0.3\frac{fF}{\mu m}$。此外漏-衬底电容$C_{dbn} = 1\,fF$和$C_{dbp} = 1\,fF$，导线电容$C_w = 0.2\,fF$。求$t_{PHL}$，$t_{PLH}$和$t_p$。
   解：
   确定等效电容C的值：
   $C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w$
   其中，
   栅漏电容：
   $C_{gd1} = 0.3\frac{fF}{\mu m} \times W_n = 0.3\frac{fF}{\mu m} \times 0.375\mu m = 0.1125\,fF$
   $C_{gd2} = 0.3\frac{fF}{\mu m} \times 1.125\mu m = 0.3375fF$
   漏-衬底电容(体电容)：
   $C_{db1} = 1fF$
   $C_{db2} = 1fF$
   次级CMOS的栅电容：$C_g = WLC_{ox} + C_{gsov} + C_{gdov}$
   $C_{g3} = W_n L_n C_{ox} + 2\times 0.3\frac{fF}{\mu m} W_n = 0.375\mu m \times 0.25\mu m \times 6\frac{fF}{\mu m^2} + 2\times 0.3\frac{fF}{\mu m} \times 0.375\mu m = 0.7875fF$
   $C_{g4} = 1.125\mu m \times 0.25\mu m \times 6\frac{fF}{\mu m^2} + 2\times 0.3\frac{fF}{\mu m^2} \times 1.125\mu m = 2.3625fF$
   导线电容：
   $C_w = 0.2fF$
   总等效电容：
   $C = 0.1125fF + 0.3375fF + 1fF + 1fF + 0.7875fF + 2.3625fF + 0.2fF = 6.25fF$
   考虑电容C通过Q_N放电，确定平均放电电流，以确定t_{PLH}：$k' = \mu C_{ox}$
   $$\begin{aligned} i_{DN}(0) &= \frac{1}{2}k_n'\left(\frac{W}{L}\right)_n (V_{DD} - V_t)^2 \\ &= \frac{1}{2}\times 115\frac{\mu A}{V^2} \times \left(\frac{0.375\mu m}{0.25\mu m}\right) \times (2.5V - 0.4V)^2 \\ &= 380\mu A \end{aligned}$$
   $$\begin{aligned} i_{DN}(t_{PHL}) &= k_n'\left(\frac{W}{L}\right)_n \left[(V_{DD} - V_t)\frac{V_{DD}}{2} - \frac{1}{2}\left(\frac{V_{DD}}{2}\right)^2\right] \\ &= 115\frac{\mu A}{V^2} \times \left(\frac{0.375\mu m}{0.25\mu m}\right) \times \left[(2.5V - 0.4V) \times \frac{2.5V}{2} - \frac{1}{2} \times \left(\frac{2.5V}{2}\right)^2\right] \\ &= 318\mu A \end{aligned}$$
   平均放电电流：
   $$\mathrm{i_{DN}}\Big|_{平均} = \frac{i_{DN}(0) + i_{DN}(t_{PHL})}{2} = \frac{380\mu A + 318\mu A}{2} = 349\mu A$$
   则：
   $$t_{PHL} = \frac{C\left(\frac{V_{DD}}{2}\right)}{i_{DN}|_{平均}} = \frac{6.25fF \times \left(\frac{2.5V}{2}\right)}{349\mu A} = 23.3\,ps$$
   由于$\frac{W_p}{W_n} = 3$而$\frac{\mu_n}{\mu_p} = 3.83$，因此本反相器没有完全匹配，因此$\frac{t_{PLH}}{t_{PHL}} = \frac{\frac{\mu_n}{\mu_p}}{\frac{W_p}{W_n}} = \frac{3.83}{3} = 1.3$，所以：
   $t_{PLH} = 1.3 \times t_{PHL} = 1.3 \times 23.3\,ps = 30\,ps$
   可求得t_p为：
   $t_p = \frac{1}{2}(t_{PHL} + t_{PLH}) = \frac{1}{2}(23.3\,ps + 30ps) = 26.5\,ps$
3.

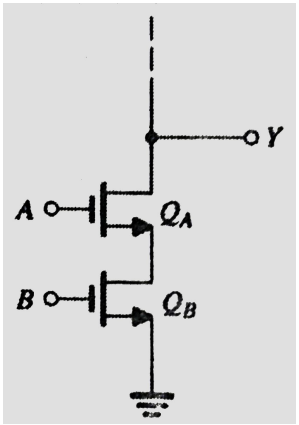
七：CMOS基本结构

Tuesday, October 22, 2019 2:33 PM

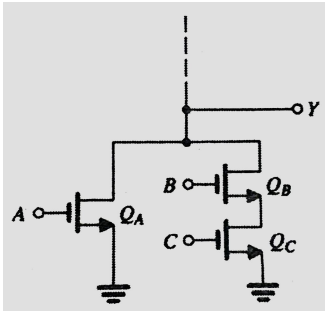
1. 上拉网络：PUN；
2. 下拉网络：PDN；
3. 下拉网络(NMOS)构成的基本结构：
   a. 或非电流结构：
   $\bar{Y} = A + B \ \ or \ \ Y = \overline{A + B}$



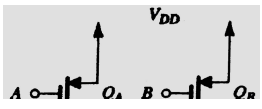
   b. 与非电流结构：
   $\bar{Y} = AB \ \ or \ \ Y = \overline{AB}$

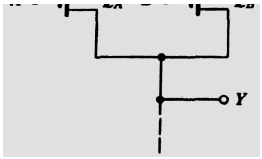


   c. 与或非电流结构：
   $\bar{Y} = A + BC \ \ or \ \ Y = \overline{A + BC}$



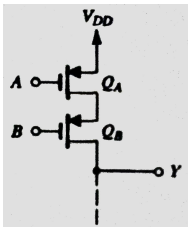
4. 上拉网络(PUN)构成的基本结构：
   a. 与非电流结构：
   $Y = \bar{A} + \bar{B} = \overline{AB}$





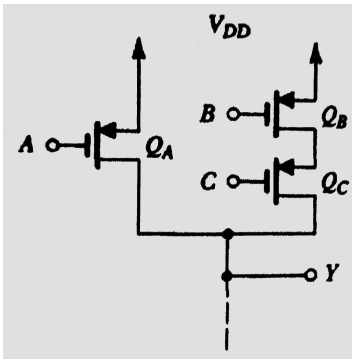
b. 或非电流结构：

$Y = \bar{A}\bar{B} = \overline{\mathrm{A} + \mathrm{B}}$



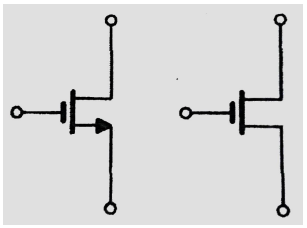
c. 较复杂电流结构：

$Y = \bar{A} + \bar{B}\bar{C}$

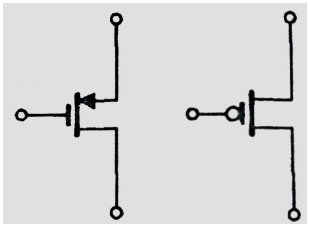


5. 规定通用符号：

a. NMOS：

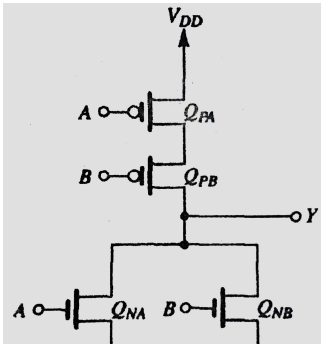


b. PMOS：



6. 二输入或非门：

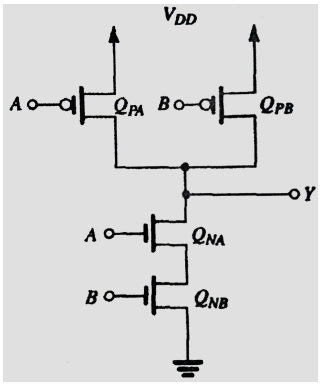
$Y = \overline{A + B} = \bar{A}\bar{B}$





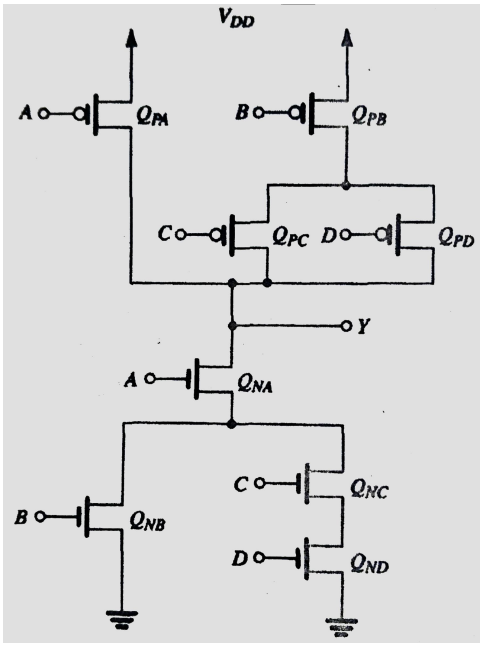
7. 二输入与非门：

$Y = \overline{AB} = \overline{\mathrm{A}} + \overline{\mathrm{B}}$



8. 上/下拉网络转换：

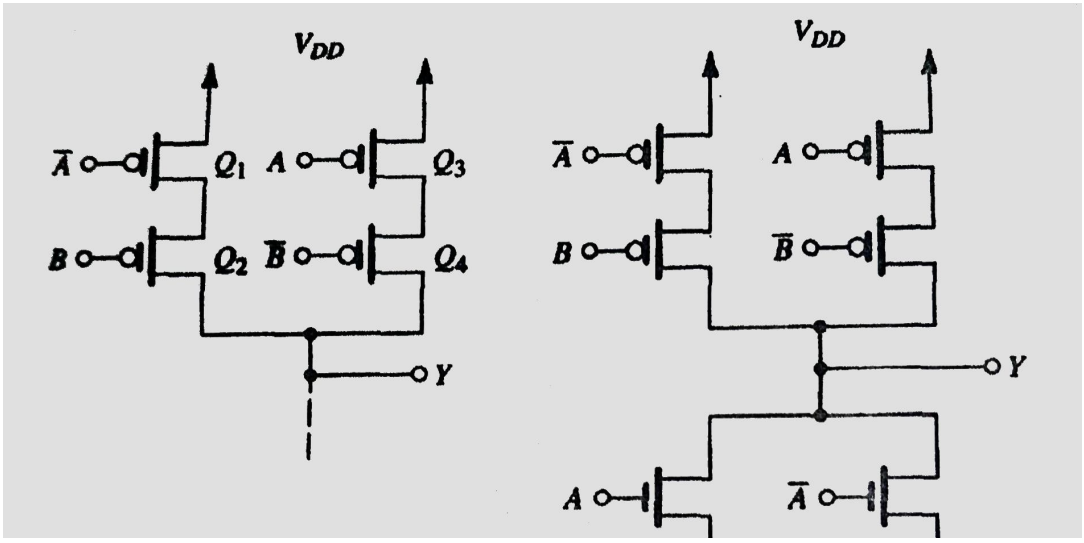
当一个上/下拉网络存在串联分支时，另一个下/上拉网络必定存在并联分支；

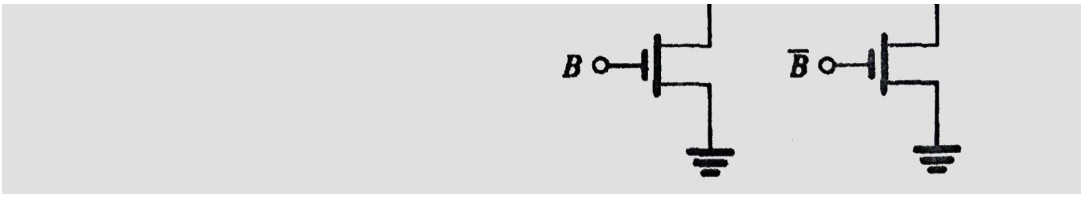


9. 异或函数：

$Y = A\bar{B} + \bar{A}B \ \ or \ \ \bar{Y} = AB + \bar{A}\bar{B}$

虽然总能把PDN/PUN的对偶作为PUN/PDN，但未必一定要对偶；





10. 设计方法总结：
    a. PDN通常可以从原变量表示的$\overline{Y}$表达式直接设计得到，如果表达式中出现变量，则需要额外的反相器来实现；
    b. PUN通常可以从反变量表示的表达式直接设计得到，如果表达式中出现原变量则需要额外的反相器实现；
    c. PUN和PDN可以通过对偶性质相互转换；

八：确定晶体管的尺寸

Tuesday, October 22, 2019 3:08 PM

1. 串联MOSFET的等效电阻：

$$\left(\frac{W}{L}\right)_{eq} = \frac{1}{\left(\frac{L}{W}\right)_1 + \left(\frac{L}{W}\right)_2 + \cdots}$$

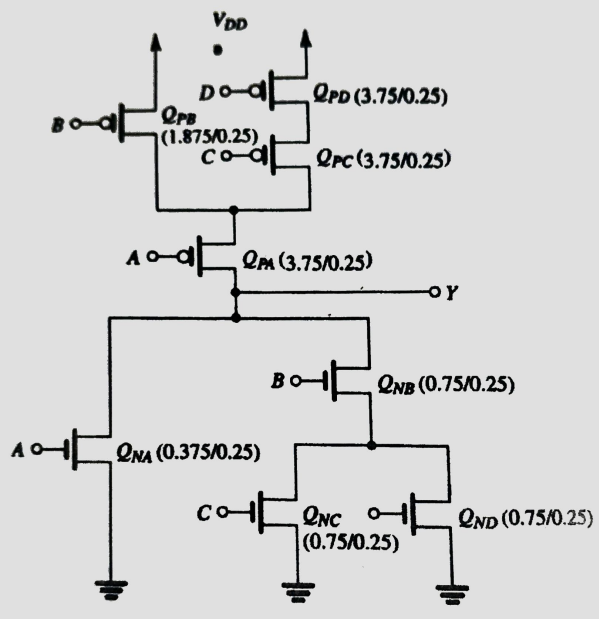
$\because MOSFET$的导通电阻与$\frac{\mathrm{W}}{\mathrm{L}}$成反比

$$\begin{aligned} R_{series} &= r_{DS1} + r_{DS2} + \cdots \\ &= \frac{c}{\left(\frac{W}{L}\right)_1} + \frac{c}{\left(\frac{W}{L}\right)_2} + \cdots \\ &= c\left[\frac{1}{\left(\frac{W}{L}\right)_1} + \frac{1}{\left(\frac{W}{L}\right)_2} + \cdots\right] \\ &= \frac{c}{\left(\frac{W}{L}\right)_{eq}}, \qquad \mathrm{c} \in \mathrm{R} \end{aligned}$$

2. 并联晶体管的等效电阻：

$$\left(\frac{W}{L}\right)_{eq} = \left(\frac{W}{L}\right)_1 + \left(\frac{W}{L}\right)_2 + \cdots$$

3. 相对与非门，或非门往往需要更大的面积，因此实现CMOS逻辑一般使用与非门；
4. 示例：确定下图中晶体管的$\frac{W}{L}$值。假设基本反相器的$n = 1.5$，$p = 5$，沟道长度是$0.25\mu m$。



解：

考虑PDN，最坏的情况发生在Q_{NB}导通并且Q_{NC}或Q_{ND}导通时(承载电流的通路最长，发热量最大，需要的面积最大)。即在最坏的情况下有两个晶体管串联。因此我们选择Q_{NB}，Q_{NC}和Q_{ND}的宽度是基本反相器的n沟道器件的两倍，所以：

$$Q_{NB}: \frac{W}{L} = 2n = 2\times1.5 = 3 = \frac{0.75\mu m}{0.25\mu m}$$

$$Q_{NC}: \frac{W}{L} = 2n = 2\times1.5 = 3 = \frac{0.75\mu m}{0.25\mu m}$$

$$Q_{\cdots}: \frac{W}{L} = 2n = 2\times1.5 = 3 = \frac{0.75\mu m}{\cdots}$$

Q_{ND}: $\frac{W}{L} = 2n = 2\times1.5 = 3 = \frac{0.375\mu m}{0.25\mu m}$

对于晶体管Q_{NA}，选择$\frac{W}{L}$等于基本反相器的n沟道器件的值：

Q_{NA}: $\frac{W}{L} = n = 1.5 = \frac{0.375\mu m}{0.25\mu m}$

考虑PUN，最坏的情况下Q_{PD}、Q_{PC}和Q_{PA}串联，因此他们中每一个晶体管的$\frac{W}{L}$比值应该是基本反相器的3倍，即$3p$：

Q_{PA}: $\frac{W}{L} = 3n = 3\times5 = 15 = \frac{3.75\mu m}{0.25\mu m}$

Q_{PC}: $\frac{W}{L} = 3n = 3\times5 = 15 = \frac{3.75\mu m}{0.25\mu m}$

Q_{PC}: $\frac{W}{L} = 3n = 3\times5 = 15 = \frac{3.75\mu m}{0.25\mu m}$

最后选择Q_{PB}的$\frac{W}{L}$以使等效的Q_{PC}和Q_{PD}串联时的$\frac{W}{L}$等于p，得到Q_{PB}的$\frac{W}{L}$比值为$1.5p$(等效$\frac{\text{串联2}}{\text{并联3}}$)：

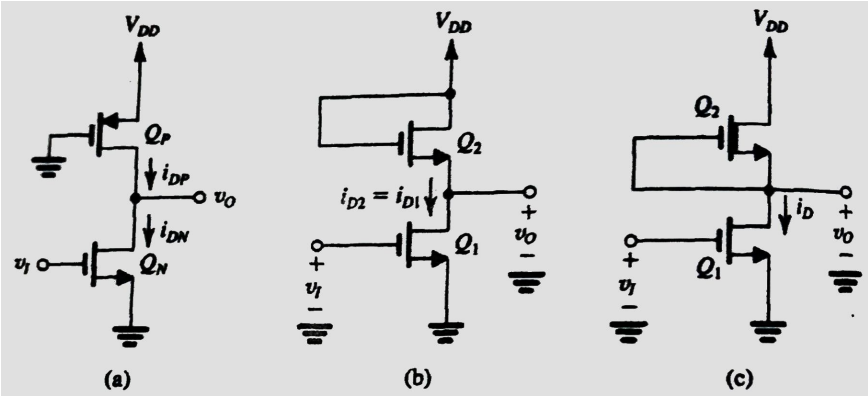
Q_{PB}: $\frac{W}{L} = 1.5p = 7.5 = \frac{1.875\mu m}{0.25\mu m}$

5. 扇入/扇出增加均会增加传播延迟；

九：伪NMOS反相器的逻辑电路和静态工作

Thursday, October 24, 2019 2:32 PM

1. 电路结构：



(a).伪NMOS反相器 (b).增加型负载NMOS反相器(弃用) (c).耗尽型负载NMOS反相器(少见)

   a. 伪NMOS反相器优点：
      i. 每一个输入只需要与一个晶体管的栅极相连，每增加一个栅极输入只需增加一个晶体管，可以减弱CMOS面积和延迟的不足
   b. 缺点：
      i. 增强型负载NMOS逻辑摆幅较小，噪声容限低，静态功耗大；
      ii. 耗尽型负载NMOS大的衬底效应明显；
2. 静态特性：
   a. 漏极电流：

      对于，N型晶体管的漏极电流为：

      饱和区：$v_O \geq v_I - V_t$

      $$i_{DN} = \frac{1}{2}k_n(v_I - V_t)^2$$

      变阻区：$v_O \leq v_I - V_t$

      $$i_{DN} = k_n\left[(v_I - V_t)v_0 - \frac{1}{2}v_O^2\right]$$

      对于，P型晶体管的漏极电流为：

      饱和区：$v_O \leq V_t$

      $$i_{DP} = \frac{1}{2}k_p(V_{DD} - V_t)^2$$

      $$i_{DN} = \frac{1}{2}k_p(V_{DD} - V_t)^2$$

      变阻区：$v_O \leq V_t$

      $$i_{DP} =$$

      $$\leq i_{DN} = k_p\left[(V_{DD} - V_t)(V_{DD} - v_O) - \frac{1}{2}(V_{DD} - v_O)^2\right]$$

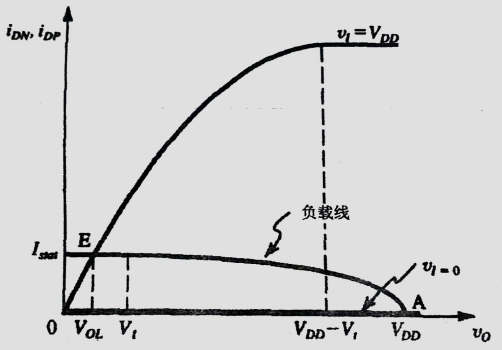
      以上过程中假设$V_{tn} = -V_{tp} = V_t$，并利用$k_n = k_n'\left(\frac{W}{L}\right)_n$和$k_p = k_p'\left(\frac{W}{L}\right)_p$进行了化简；
   b. 有比逻辑：V_{OL}由器件的跨导工艺参数比$\frac{\left(k'\left(\frac{W}{L}\right)\right)_{driver}}{\left(k'\left(\frac{W}{L}\right)\right)}$决定；

$(W/L)_{load}$

c. 无比逻辑：V_{OL}不由器件的跨导工艺参数比决定，如CMOS逻辑电路；

d. 伪NMOS反相器的VTC曲线：

为了得到伪NMOS反相器的VTC曲线，把P型晶体管的两种负载漏极电流连接成曲线并叠加在Q_N的$i_D \sim v_{DS}$特性曲线上，再根据$v_{GS} = v_t$的不同取值，建立下图(注意，图中有不同v_I取值的两条曲线，其中一条位于v_O轴稍上方)：



i. 相比$v_I = V_{DD}$时的Q_N曲线而言，负载曲线表现出的饱和电流要小得多。因为设计伪NMOS反相器时k_n通常比k_p大4~10倍，这种逻辑属于有比逻辑，其器件的跨导工艺参数比决定了VTC曲线的所有转折点，从而也就定了噪声容限。选择相对较大的r值可以减小V_{OL}，增大噪声容限；

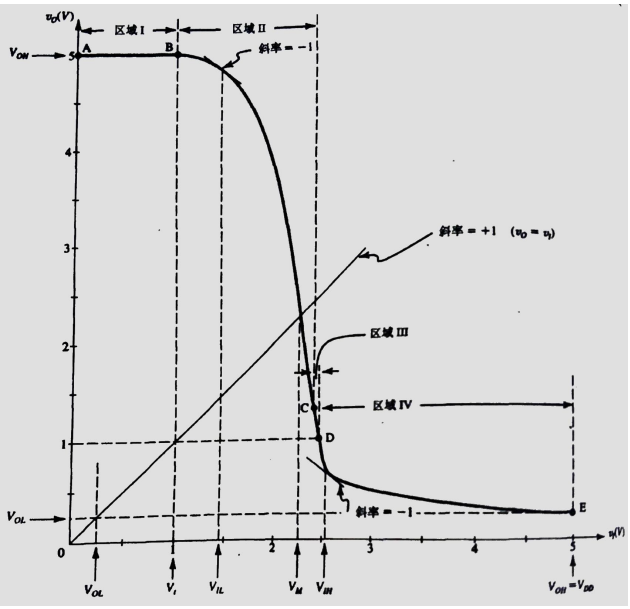
ii. Q_P的工作特性似乎接近恒流源，但事实上它仅仅在$v_O \leq V_t$的小范围内工作在饱和区。当v_O取其他值时，Q_P工作在变阻区；

iii. 当$v_I = 0$时，Q_N截至，Q_P工作在变阻区，但是其电流和漏源间电压均为零，此时的工作点如上图A电所示。并且$v_O = V_{OH} = V_{DD}$，而静态电流为零，所以静态功耗也为零；

iv. 当$v_I = V_{DD}$时，反相器工作在图中E点处。与互补CMOS不同，伪NMOS的V_{OL}不为零。

v. 在低电压输出状态门电路由电流I_{stat}流过，因而会存在静态功耗$P_D = I_{stat} \times V_{DD}$；

3. VTC的推导：



伪NMOS反相器的工作区域

区域	VTC曲线段	Q_N	Q_P	条件
I	AB			$v_I < V_t$

I	AB	截止区	变阻区	$v_I < V_t$
II	BC	饱和区	变阻区	$v_O \geq v_I - V_t$
III	CD	变阻区	变阻区	$V_t \leq v_O \leq v_I - V_t$
IV	DE	变阻区	饱和区	$V_O \leq V_t$

a. 区域I(AB段)：

$$v_O = V_{OH} = V_{DD}$$

b. 区域II(BC段)：

令N型晶体管工作在饱和区的漏极电流与P型晶体管变阻区的漏极电流相等，并将$k_n = rk_p$代入得：

$$v_O = V_t + \sqrt{(V_{DD} - V_t)^2 - r(v_I - V_t)^2}$$

两边微分，并代入$\frac{\partial v_O}{\partial v_I} = -1$和$v_I = V_{IL}$，求出$V_{IL}$：

$$V_{IL} = V_t + \frac{V_{DD} - V_t}{\sqrt{r(r+1)}}$$

根据门限电压V_M($\mathrm{V_{th}}$)等于$v_O = v_I$时v_I的值：

$$V_M = V_t + \frac{V_{DD} - V_t}{\sqrt{r+1}}$$

最后代入$v_O = v_I - V_t$，可以得到区域II的终点C。在该点上Q_N离开饱和区进入变阻区；

c. 区域III(CD段)：

这段曲线非常短，不太重要；

在D点处有$v_O = V_t$；

d. 区域IV(DE段)：

令N型晶体管的变阻区和P型晶体管的饱和区漏极电流相等，代入$k_n = rk_p$得：

$$v_O = (v_I - V_t) - \sqrt{(v_I - V_t)^2 - \frac{1}{r}(V_{DD} - V_t)^2}$$

两边微分，代入$\frac{\partial v_O}{\partial v_I} = -1$和$v_I = V_{IH}$求$V_{IH}$：

$$V_{IH} = V_t + \frac{2}{\sqrt{3r}}(V_{DD} - V_t)$$

将$v_I = V_{DD}$代入，得V_{OL}：

$$V_{OL} = (V_{DD} - V_t)\left(1 - \sqrt{1 - \frac{1}{r}}\right)$$

e. 伪NMOS反相器处于低输出状态时得静态电流：

$$I_{satat} = \frac{1}{2}k_p(V_{DD} - V_t)^2$$

f. 伪NMOS反相器的噪声容限：

$$\begin{cases} NM_L = V_t - (V_{DD} - V_t)\left[1 - \sqrt{1 - \frac{1}{r}} - \frac{1}{\sqrt{r(r+1)}}\right] \\ NM_H = (V_{DD} - V_t)\left(1 - \frac{2}{\sqrt{3r}}\right) \end{cases}$$

由于V_{DD}和V_t由制造工艺决定，因此比值r是唯一可以用来调控V_{OL}值和噪声容限的设计参数；

第二课：数字集成电路的质量评价

Thursday, August 29, 2019 5:35 AM

1. 数字设计的质量评价：
    a. 固定成本(NRE)：
        i. 掩膜版制备 ；
        ii. 一次性投入：研发设备、基础设施等；
    b. 可变成本：
        i. 硅片处理；
        ii. 封装；
        iii. 测试；

第四课：MOSFET特性

Tuesday, 10 September, 2019 05:44

1. 栅电容(栅氧化区电容)：$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}, C_G = C_{ox}A_G$；
2. MOSFET开关特性：nMOS高电平开关，pMOS低电平开关；
3. nMOS传输特性：强逻辑“0”，弱逻辑“1”，电压传输范围$[0, V_{DD} - V_{Tn}]$；
4. pMOS传输特性：
   a. 导通所要求的源-栅电压最小值$V_{SGp} = |V_{Tp}|$；
   b. 强逻辑“1”，弱逻辑“0”，电压传输范围$[V_{DD}, V_{Tp}]$；
5. CMOS：互补对金属氧化物半导体；
6. V_{SW}:电压摆幅；
7. MOS静态特性：
   a. 场效应：可通过改变栅电压V_G来控制通过FET的电流；
   b. 单位面积氧化层电容：$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$；
   c. 对于pMOS来说，漏电流：I_{Dn}，栅源电压：V_{GSn}，漏源电压：V_{DSn}；
   d. 此时，漏电流是栅源电压和漏源电压的函数：$I_{Dn} = I_{Dn}(V_{GSn}, V_{DSn})$；
8. 阈值电压的成因：
   a. 表面电荷密度Q_s：用来表示场效应(Field Effect)；
      i. $Q_s = -C_{ox}V_G$，(其中包括不同种类的电荷，取决于栅压，较为复杂);
   b. 耗尽区电荷Q_B：Bulk (depletion) charge；
   c. 表面电荷性质取决于外加栅压大小；
   d. 体电荷密度Q_B：$Q_B = -\sqrt{2q\varepsilon_{si}N_A\phi_s}, \varepsilon_{si} = 11.8\varepsilon_0, Q_B = -C_{ox}V_{ox}$；
   e. 耗尽区宽度：$x_d = \sqrt{\frac{2\varepsilon_{si}\phi}{qN_A}}$；
9. 电子电荷层的形成：
   a. 当：$V_G > V_{Tn} = 2\phi_F = 2\phi_T \ln\frac{N_A}{n_i}$；
   b. 电子电荷Q_e：是从重掺杂n^+源区被拉到反型层，此时$Q_S = Q_B + Q_e$；
   c. 阈值电压V_T代表了Q_e正好开始形成时的栅电压，即当$V_G = V_{Tn}$时$Q_e = 0, Q_e = -C_{ox}(V_G - V_{Tn})$；
      i. 注意：当$V_G > V_{Tn}$，$V_B = 0$时，体电荷Q_B不会增加，X_d也不会增加；
10. 体效应：
    a. 当$V_{SB} > 0$时：$|\phi_s| \to |-2\phi_F + V_{SB}|, Q_B = -\sqrt{2q\varepsilon_{si}N_A|-2\phi_F + V_{SB}|}$；
11. 阈值电压：
    a. 体效应影响：$V_T = V_{T0} + \gamma(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$；
    b. 零偏阈值：$V_{T0} = \phi_{ms} - 2\phi_F - \frac{Q_{B0}}{C_{ox}} - \frac{Q_{SS}}{C_{ox}} - \frac{Q_I}{C_{ox}}$；
    c. 体偏置系数：$\gamma = \frac{\sqrt{2q\varepsilon_{Si}N_A}}{C_{ox}}$，表明$V_{SB}$改变所产生的影响；
12. nFET电流-电压：$I_{Dn} = f(V_G, V_{DS})$；
    a. 电流：载流子的漂移速度v_n于电荷的乘积；
    b. I-V表达式(线性工作状态)：
       i. 设W为垂直于电流方向上的沟道宽度：

1) $I_D = -v_n(x)Q_i(x)W$;
2) $v_n = -\mu_n\zeta(x) = \mu_n\frac{dV}{dx}$;
3) $Q_i(x) = -C_{ox}[V_{GS} - V(x) - V_T]$;

ii. $\Rightarrow I_D dx = \mu_n C_{ox} W(V_{GS} - V - V_T)dV$;

iii. 沿沟道长度L积分：$I_D = k_n'\frac{W}{L}\left[(V_{GS} - V_T)V_{GS} - \frac{V_{DS}^2}{2}\right] = k_n[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2}]$;

iv. 工艺跨导：$k_n' = \mu_n\frac{\varepsilon_{ox}}{t_{ox}}$，增益因子：$k_n = k_n'\frac{W}{L}$;

c. 饱和区(饱和工作状态)：$I_D = k_n'\frac{W}{L}\left[(V_{GS} - V_T)V_{GS} - \frac{V_{DS}^2}{2}\right] \Rightarrow^{\because V_{DS}=V_{GS}-V_T} \Rightarrow I_D = \frac{k_n'}{2}\frac{W}{L}(V_{GS} - V_T)^2$ ；

d. $V_{GS} - V_T = V_{GT}$;

13. 饱和状态产生的原因：

a. nMOS：加在栅极的电压不变的条件下，加在漏极的电压增加到使栅源电压与漏源电压之差小于阈值电压，即$V_{GS} - V_{DS} < V_T$;

14. 沟长调制：

a. $I_D = I_D'(1 + \lambda V_{DS})$;

b. $\lambda \sim 0.06$;

第五课：MOSFET特性

Thursday, 12 September, 2019 06:00

1. 速度饱和：
   a. 载流子迁移速率：$v_n = \mu_n \frac{dV}{dx}$；
   b. 速度饱和效应的影响因子：$\kappa(V_{DS}) = \frac{1}{1+\left(\frac{V_{DS}}{\xi_C L}\right)}$；
   c. 当增加漏源电压时，沟道中的电场最终达到临界值，在漏端的载流子出现速度饱和:
      i. $I_{DSAT} = \kappa(V_{DSAT})\mu_n C_{ox} \cdot \frac{W}{L}\left(V_{GT}V_{DSAT} - \frac{V_{DSAT}^2}{2}\right)$；
   d. 对于短沟道器件及足够大的V_{GT}值，$\kappa(V_{GT})$明显小于1，因此$V_{DSAT} < V_{GT}$。器件在V_{DS}达到$V_{GS} - V_T$之前就已经进入饱和状态，因此短沟道器件的饱和区范围更大一些；
   e. 饱和电流I_{DSAT}与栅源电压V_{GS}间呈线性关系不同于长沟道器件中的平方关系。因此，在一定的控制电压下它减少了晶体管能够提供的电流值。
      i. $I_{DSAT} = \mu_n C_{ox} \cdot \frac{W}{L}\left[(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2}\right] \cdot \kappa(V_{DS})$；
2. 电流-电压关系：
   a. 手工分析电流的通用模型：
      i. $I_D = 0\ for\ V_{GT} \le 0,$
         $or\ I_D = k' \cdot \frac{W}{L}\left(V_{GT}V_{min} - \frac{V_{min}^2}{2}\right) \cdot (1 + \lambda V_{DS}) for\ V_{GT} \ge 0;$
         $with\ \lambda \approx 0.06 (L = 0.25\mu m)\ and\ V_{min} = \min(V_{GT}, V_{DS}, V_{DSAT});$
         $V_{GT} = V_{GS} - V_T, and\ V_T = V_{T0} + \gamma(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|});$
3. ppt中的第七、第三和第八题(作业办结)；

第六课：MOSFET动态特性(电容)

Tuesday, September 17, 2019 5:47 AM

1. 动态响应取决于：
   a. 本征寄生电容；
   b. 互连线引起的额外电容；
   c. 负载引起的额外电容；
2. 本征(寄生)电容来源：
   a. 基本MOS结构；
   b. 沟道电荷；
   c. 漏和源反向偏置PN结的耗尽区；
3. 除MOS结构电容外，其他两者(沟道电荷、漏源反向偏置PN结的耗尽区电容)都是非线性且随外加电压变化的；
4. MOS结构电容：
   a. x_d：横向扩散，C_o：单位晶体管宽度的覆盖电容；
   b. $C_{GSO} = C_{GDO} = C_{ox}x_dW = C_oW$；
   c. 栅电容包括两部分：$C_{gate} = \frac{\varepsilon_{ox}}{t_{ox}} \cdot WL$，$C_{ox}$其中尽可能大，$T_{ox}$尽可能小；
   d. C_G：沟道+覆盖；
5. 沟道电容：
   a. $C_{GC}(G:Gate,\ C:Channel): C_{GCS}(C_{GS}), C_{GCD}(c_{GD}), C_{GCB}(C_{GB})$；
   b. 截至工作状态下：$C_{GC} = C_{GB} = C_{ox}WL_{eff}$；
   c. 线性工作状态下：$C_{GC} = C_{GS} + C_{GD} = \frac{C_{ox}WL_{eff}}{2} + \frac{C_{ox}WL_{eff}}{2} = C_{ox}WL_{eff}$；
   d. 饱和状态下(近似)：$C_{GC} = \frac{2 \cdot C_{ox}WL_{eff}}{3}$；
6. 结电容(扩散电容)：
   a. 底板PN结(源-体)：N_A, N_D；
      i. $C_{bottom} = C_jWL_S, C_j = \frac{C_{j0}}{\left(1-\frac{V_R}{\phi_0}\right)^{m_j}}$，部分解型：$C_j = \frac{C_{j0}}{\left(1-\frac{V_R}{\phi_0}\right)^{m_j}}$；
      ii. 其中：
         1) C_j:$\frac{F}{cm^2}$，单位面积结电容(掺杂)；
         2) WL_S:结面积；
   b. 侧壁PN结(漏-体)：N_D, N_A^+；

第七课：反相器

Tuesday, September 24, 2019 5:30 AM

1. 静态CMOS反相器：
2. 一阶直流分析：
   a. 晶体管可以看作是一个具有无限关断电阻和有限导通电阻的开关；
   b. 假定：$V_{OL}=0, V_{OH}=V_{DD}, V_{SW}=V_{DD}, V_M=f(R_n,R_p)$；
   c. 无比逻辑：逻辑电平与期间的相对尺寸无关，晶体管可以采用最小尺寸；
      i. 有比逻辑：电平取决于相对尺寸；
   d. 稳态时在输出和V_{DD}或GND之间总存在一条具有有限电阻的通路，可以拥有较低的输出阻抗，对噪声和干扰不敏感($Low\ R_o(k\Omega)$)；
   e. 由于反相器输入节点只连接到晶体管栅极上，输入电阻极高，稳态输入电流几乎为0；
3. 电压传输特性：
   a. CMOS负载曲线：$I_{DSp}=-I_{DSn}, V_{GSn}=V_{in}, V_{GSp}=V_{in}-V_{DD}, V_{DSn}=V_{out}, V_{DSp}=V_{out}-V_{DD}$；
   b. CMOS反相器的静态负载特点：
      i. 同一工作点，NMOS电流等于PMOS电流；
      ii. 整个反相器工作点完全相同，不是高电平就是低电平；
      iii. 反相器工作在速度饱和状态；
      iv. CMOS反相器的瞬态响应主要有门的输出电容C_L决定：NMOS和PMOS的漏扩散电容、连线电容以及扇出门的输入电容；
   c. CMOS反相器瞬态响应：简化开关模型；
      i. 一个快速门的设计是通过减小输出电容或者减小晶体管导通电阻(增加宽长)来实现；
   d. $V_{IH}, V_{IL}, V_{SW}, V_M$；
      i. 开关阈值V_M：开关阈值定义在$V_{in}=V_{out}$点上，在这一区域，由于$V_{DS}=V_{GS}$，PMOS和NMOS总是饱和的，使通过两个晶体管的电流相等，就可以得到V_M的解析式。如果电源电压足够高，就可以假设两个晶体管均处于速度饱和状态($V_{DSAT}<V_M-V_T$)，同时忽略沟长调制效应；
         1) $k_nV_{DSTAn}\left(V_M-V_{Tn}-\frac{V_{DSATn}}{2}\right)+k_pV_{DSATp}\left(V_M-V_{DD}-V_{Tp}-\frac{V_{DSATp}}{2}\right)=0$;
         2) Solving for $V_M\ yields$;
         3) $V_M=\frac{\left(V_{Tn}+\frac{V_{DSATn}}{2}\right)+r\left(V_{DD}+V_{Tp}+\frac{V_{DSATp}}{2}\right)}{1+r}$;
         4) 假设NMOS与PMOS的栅氧厚度相同：$r=\frac{k_pV_{DSATp}}{k_nV_{DSAT}}=\frac{v_{SATp}W_p}{v_{SATn}W_n}$;
      ii. PMOS宽度可以小于完全对称所要求尺寸，改变PMOS与NMOS宽长比之比($\frac{\left(\frac{W}{L}\right)_p}{\left(\frac{W}{L}\right)_n}$)会使VTC的过渡区平移，增加PMOS或NMOS的宽度会使分别移向V_{DD}或GND。因此，要较大程度地改变开关阈值并不容易，特别是电源电压与晶体管阈值的比相对较小时；
      iii. 噪声容限：$V_{IH}-V_{IL}=-\frac{V_{OH}-V_{OL}}{a}=-\frac{V_{DD}}{a}\Rightarrow V_{IH}=V_M-\frac{V_M}{a}, V_{IL}=V_M+$

$\frac{V_{DD}-V_M}{g}$, $\mathrm{NM_H} = \mathrm{V_{DD}} - \mathrm{V_{IH}}$, $\mathrm{NM_L} = \mathrm{V_{IL}}$;

1) 假设PMOS和NMOS均处在速度饱和状态，由于在过渡区增益与电流的斜率关系很大，因此不能忽略沟长调制系数，通过电流方程可以推导出静态反相器的中点增益：
   a) $g = -\frac{1}{I_D(V_M)} \cdot \frac{k_n V_{DSATn} + k_p V_{DSATp}}{\lambda_n - \lambda_p} \approx \frac{1+r}{\frac{V_M - V_{Tn} - V_{DSATn}}{2} \cdot (\lambda_n - \lambda_p)}$;
   b) 这一增益几乎完全取决于工艺参数，特别是沟长调制系数，设计者通过选择电源电压及晶体管尺寸只能对它产生很小的影响；

e. 稳定性：
   i. 器件参数变化：
      1) 工作温度变化和制造中产生的工艺参数偏离会影响反相器的特性；
      2) 静态CMOS反相器的DC特性对上述变化不敏感；
   ii. 电源电压变化：
      1) 由于对固定的晶体管尺寸比r，$\mathrm{V_M}$近似的正比于$\mathrm{V_{DD}}$，所以反相器在过渡区增益随电源电压降低而增大;
      2) 反相器在电源电压接近晶体管$\mathrm{V_T}$时仍能较好工作；
      3) 虽然降低电源电压可以降低功耗，但会增加门延迟；
      4) 当电源电压接近$\mathrm{V_T}$时，DC特性会对器件参数的变化更加敏感；
      5) 减小信号摆幅，虽然可以减少内部噪声，但会对外部噪声更加敏感；
      6) 电源电压降低的实际限制：$V_{DDmin} > (2\sim4) \cdot \frac{kT}{q}$， 即电源电压不小于热电势$\phi_T$的两倍；

4. 作业题：PPT中Q5.3和Q5.5(作业待办)；

第八课：CMOS反相器的动态特性

Thursday, September 26, 2019 1:30 PM

1. 传输延迟：反相器传输延时却决于它分别通过PMOS和NMOS管充电和放电负载电容所需要的时间；
2. 假设所有的电容一起集总成一个单个的电容$\mathrm{C_L}$，位于V_{out}和GND之间；
3. 栅漏电容C_{gd12}：
   a. 在输出过渡的前半部分，M1(NMOS)与M2(PMOS)(组成反相器)不是断开就是处于饱和状态，栅漏电容仅包括覆盖电容，沟道电容(处于栅-体或栅-源之间)不起作用。集总电容模型要求用接地电容来代替浮空的栅漏电容，通过密勒效应实现；
   b. $C_{gd} = 2C_{gdo}W$；
4. 扩散电容C_{db1}和$\mathrm{C_{db2}}$：
   a. 漏和体之间的电容来自反置的PN结，这样的电容是高度线性的，并且很大程度上取决于所加的电压;
5. 传播延时的一阶分析：
   a. $t_{pHL} = C \cdot \frac{V_{SWing}}{2I_{av}}$;
   b. RC开关模型：
      i. $t_{pHL} = 0.69 \cdot R_{eqn}C_L$;
      ii. $t_{pHL} = 0.69 \cdot R_{eqp}C_L$;
      iii. $t_p = \frac{t_{pHL}+t_{pHL}}{2} = 0.69C_L \cdot \frac{R_{eqn}+R_{eqp}}{2}$;

第九课：反相器链

Tuesday, October 8, 2019 1:35 PM

1. 本征电容：C_{int}，负载电容：C_{ext}；
2. 传输延时：$t_p = t_{p0}(1 + \frac{C_{ext}}{C_{int}})$；
3. 本征延时：$t_{p0} = 0.69 \cdot R_{eq} \cdot C_{int}$，$(C_{ext} = 0)$；
4. 本章假定：参考门为最小尺寸反相器；
5. 本征电容包括：扩散电容和弥勒电容；
6. 参考门尺寸因子S：$t_p = t_{p0}(1 + \frac{C_{ext}}{SC_{iny}})$；
7. 确定反相器链的尺寸；
   a. 加大反相器的尺寸可以减小自身的延时，但也加大了其输入电容，即作为前一级门负载而增加；
8. 反相器的输入栅与本征输出电容：$C_{int} = \gamma C_g$,对于大多数亚微米工艺$\gamma \approx 1$；
9. 延时方程：$t_p = t_{p0}(1 + \frac{f}{\gamma})$；
10. 等效扇出：$f = \frac{C_{ext}}{C_g}$，反相器的延时只取决于它的外部负载电容与输入栅电容的比值；
11. 反相器链：$t_p = t_{p0} \cdot \Sigma_{j=1}^{N}\left(1 + \frac{C_{g,j+1}}{\gamma C_{g,j}}\right), C_{g,N+1} = C_L$；
12. 确定级数N的最小延时约束条件：每个反相器的最优尺寸时它与相邻的前后两个反相器尺寸的几个平均数$C_{g,j} = \sqrt{C_{g,j-1} \cdot C_{g,j+1}}$，约束条件为$\frac{C_{g,j+1}}{C_{g,j}} = \frac{C_{g,j}}{C_{g,j-1}}$；
    a. 每个反向器的尺寸都对于它前面反相器的尺寸放大相同倍数f；
    b. 每级反相器具有相同的等效扇出$f_i = f(\frac{C_{out}}{C_{in}})$；
    c. 每级反相器具有相同延时
    d. 当每级反相器尺寸依次增大f倍，且具有相同的等效扇出f，$F = \frac{C_L}{C_{g,1}} = f^N$；
    e. 当C_L和$C_{g,1}$给定时，每级的等效扇出$f = F^{\frac{1}{N}}$；
    f. 最小路径延时：$t_p = Nt_{p0}(1 + \frac{F^{\frac{1}{N}}}{\gamma})$；
13. 确定反相器链的最优级数N和等效扇出f：
    a. $C_L = F \cdot C_{in} = f^N C_{in}$ with $N = \frac{\ln F}{\ln f}$;
    b. $t_p = Nt_{p0}\left(\frac{f}{\gamma} + 1\right) = \frac{t_{p0} \ln F}{\gamma}(\frac{f}{\ln f} + \frac{\gamma}{\ln f})$;
    c. $\frac{\partial t_p}{\partial f} = \frac{t_{p0} \ln F}{\gamma} \cdot \frac{\ln f - 1 - \frac{\gamma}{f}}{\ln^2 f} = 0$;
    d. $f = e^{1+\frac{\gamma}{f}}$;
    e. 最优等效扇出：
        i. for $\gamma = 0, f = e, N = \ln F$(忽略自载，只由扇出构成负载，收敛解);
        ii. for $\gamma = 1, f_{opt} = 3.6$(包括自载，数值解);
    f. 当驱动较大负载时，采用反相器链能够达到更加明显的加速效果；

第十课：功耗、能量

Thursday, October 10, 2019 1:45 PM

1. 能耗的来源：
   a. 动态功耗；
      i. 电容充放电；
      ii. 开关过程中电源和地线路径形成的短路电流；
   b. 静态功耗；
      i. 反偏二极管漏电流；
      ii. 亚阈值电流；
2. 动态功耗：
   a. 电容从电源取得的能量（假设输入信号上升沿/下降沿时间为零）；

      $E_{VDD} = \int_0^\infty i_{DD}(t)V_{DD}dt = C_L V_{DD}^2$

      $E_c = \frac{C_L V_{DD}^2}{2}$

      i. 电源提供的能量只有一半存放在C_L上，其他消耗在PMOS上；
      ii. 无论充放电，均与晶体管尺寸无关；
      iii. 考虑器件开关频率：

      $Power = \frac{Energy}{Transition} \cdot f = C_L V_{DD}^2 \cdot f_{0\to1}$

      iv. 开关活性对能耗的影响：$E_N = C_L V_{DD}^2 n(N), n(N)$表示N个时钟周期内$0 \to 1$的反转次数；
      v. 平均动态功耗：

      $P_{avg} = \alpha_{0\to1} C_L V_{DD}^2 f_{clk}$；

      vi. 改变晶体管的尺寸以降低功耗；
         1) 最优尺寸系数(性能约束)：$f = \sqrt{F}$；
            a) 进一步加大器件尺寸只会增加自载系数而降低性能；
            b) 提示允许降低V_{DD}；
         2) 考虑能量时的最优尺寸系数f小于考虑性能时的最优尺寸系数；
   b. 直流通路电流引起的功耗：
      i. 输入信号不为无穷大的斜率造成了开关过程中电源与地之间在短期内出现一条直流通路(即NMOS和PMOS同时导通)；
      ii. 短路电流能耗：

      $E_{dp} = t_{sc} V_{DD} I_{peak}$

      平均功耗：$P_{dp} = t_{sc} V_{DD} I_{peak} f = C_{sc} V_{DD}^2 f, t_{sc} I_{peak} = C_{sc} V_{DD}$

      I_{peak}由器件的饱和电流决定，正比于晶体管的尺寸；

      对直线输入斜率：$t_{sc} = \frac{V_{DD}-2V_T}{V_{DD}} t_s \approx \frac{V_{DD}-2V_T}{V_{DD}} \times \frac{t_r(f)}{0.8}$

      iii. C_L对直流通路的影响：
         1) 大电容负载：$t_f \gg t_r$，输入在输出开始改变之前就已经通过了过渡区，$V_{DSp} \approx 0, I_{SC} \approx 0$；
         2) 小电容负载：$t_f \ll t_r$，输出下降时间小于输入的上升时间，$V_{DSp} \approx V_{DD}, I_{SC} \approx I_{MAX}$；
      iv. 最小化直流通路电流能耗：短路电流能耗可以通过使输入和输出信号的

上升下降时间匹配来达到最小；

1) 当负载电容C_L较小时，功耗主要来自短路电流I_{SC}；
2) 当负载电容C_L较大时，功耗主要来自对负载电容的充放电；
3) 如果$t_f = t_r$，大部分能耗与动态功耗有关，短路仅占小部分(< 10%)；

3. 静态功耗：

$P_{stat} = V_{dd} \cdot I_{stat}$，无开关活动时电源与地之间的电流一般接近于零；

a. 反偏二极管漏电流：

$I_{DL} = J_S \times A$

其中：J_S单位面积漏电流，A结面积；

i. 结的漏电流是由热产生的，随温度升高，单位面积漏电流会指数上涨(每升高9℃翻一倍)；
ii. 优化反偏二极管漏电流：限制电路的功耗或使用能支持有效散热的封装；

b. 亚阈值电流：

i. 阈值电压越是接近$0V$，在$V_{GS} = 0$时的漏电流越大；
ii. 解决：V_T保持足够高，$> 0.5 \sim 0.6V$；
iii. 阈值电压的选择代表了在性能和静态功耗之间的权衡取舍；
iv. 电源电压持续降低迫使V_T更低，使亚阈值导电成为功耗的主要来源；
v. 生产具有迅速彻底关断特性的器件(SOI)；

4. 降低能耗的原则：

a. 降低电源电压！
b. 降低开关活性；
c. 改变晶体管尺寸；

$Device\ Sizing: for\ F = 20 \Rightarrow f_{opt}(energy) = 3.53$

d. 选择正确的电源电压和阈值电压：最佳工作点取决于电路的活动性；
e. 静态功耗较大时，可以使不工作的模块暂时断电，以免产生静态功耗；

5. 单元小结：

a. 静态反相器由PUN和PDN组成，PMOS尺寸常大于NMOS；
b. 延迟时间的决定因素；
c. 反相器能耗；

6. 作业待办：Q5.8和Q5.12；